

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005297

International filing date: 16 March 2005 (16.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-077041
Filing date: 17 March 2004 (17.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

16. 3. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月17日
Date of Application:

出願番号 特願2004-077041
Application Number:

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

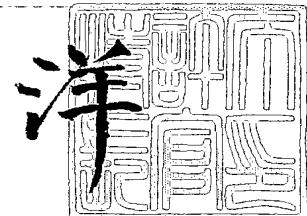
J P 2004-077041

出願人 キヤノン株式会社
Applicant(s):

2005年4月20日

特許長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 254042
【提出日】 平成16年 3月17日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 7/00
【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 【氏名】 真継 優和
【特許出願人】
 【識別番号】 000001007
 【氏名又は名称】 キヤノン株式会社
【代理人】
 【識別番号】 100076428
 【弁理士】
 【氏名又は名称】 大塚 康徳
 【電話番号】 03-5276-3241
【選任した代理人】
 【識別番号】 100112508
 【弁理士】
 【氏名又は名称】 高柳 司郎
 【電話番号】 03-5276-3241
【選任した代理人】
 【識別番号】 100115071
 【弁理士】
 【氏名又は名称】 大塚 康弘
 【電話番号】 03-5276-3241
【選任した代理人】
 【識別番号】 100116894
 【弁理士】
 【氏名又は名称】 木村 秀二
 【電話番号】 03-5276-3241
【手数料の表示】
 【予納台帳番号】 003458
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0102485

【書類名】特許請求の範囲**【請求項 1】**

複数のパルス出力演算素子と、当該演算素子のうち所定の演算素子間を並列結合する複数の結合素子と、当該複数の結合素子からのパルス信号を選択的に通過させるためのゲート回路とを備える並列パルス信号処理装置であって、

前記演算素子は更に、

複数の時系列パルス信号を入力する入力手段と、

前記入力された複数の時系列パルス信号に基づいて、所定の変調処理を行う変調処理手段と、

前記変調処理結果に基づいて、パルス信号出力を行うパルス出力手段とを備え、

前記ゲート回路は、前記複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする並列パルス信号処理装置。

【請求項 2】

所定のタイミング信号を発生させるためのタイミング信号発生回路を更に備え、

前記ゲート回路は前記タイミング信号発生回路からの所定のタイミング信号の入力後に、前記複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする請求項 1 に記載の並列パルス信号処理装置。

【請求項 3】

前記ゲート回路は、前記複数の結合素子からの信号のうち、前記タイミング信号発生回路からのタイミング信号に対する遅延が少ない信号の順に選択的に通過させることを特徴とする請求項 2 に記載の並列パルス信号処理装置。

【請求項 4】

前記ゲート回路は、前記複数の結合素子に結合する所定のバスに接続し、当該バス上を伝播する前記パルス信号に対して所定の上位出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする請求項 1 又は 2 に記載の並列パルス信号処理装置。

【請求項 5】

前記演算素子は、所定の時間窓において入力パルス信号列を積分し、当該積分値に応じた位相または周波数でパルス信号出力を行うことを特徴とする請求項 1 又は 2 に記載の並列パルス信号処理装置。

【請求項 6】

前記ゲート回路は、前記複数の結合素子のうち、結合強度が所定レベル以上で極大値をとる結合素子に選択的に接続するスイッチング回路を含むことを特徴とする請求項 1 又は 2 に記載の並列パルス信号処理装置。

【請求項 7】

階層的に複数の演算処理を行う並列パルス信号処理装置であって

所定の局所的受容野構造により、異なる階層レベルからの信号を入力し、所定のパルス信号を出力する複数の演算素子と、

所定の受容野に属する前記複数の演算素子群からのパルス信号を当該パルス信号の信号レベルに応じて選択的に通過させるゲート回路素子と

を備えることを特徴とする並列パルス信号処理回路。

【請求項 8】

所定次元のデータを入力する入力手段と、複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置であって、

前記データ処理手段は更に、所定の結合手段により並列して結合される複数の演算素子を含み、

前記データ処理手段を構成する前記演算素子は、所定時間窓内で入力される所定の複数

の演算素子からの複数パルスの到着時間パターンに基づいて所定カテゴリのパターンの検出結果を表すパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする並列パルス信号処理装置。

【請求項 9】

所定次元のデータを入力する入力手段と、パルス信号を出力する複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置であって、

前記データ処理手段は更に、所定の結合手段により並列して結合される複数の演算素子を含み、

前記ゲート回路は、前記複数のデータ処理手段からのパルス信号の信号レベルに基づき選択的に当該パルス信号を選択的に通過させ、

前記演算素子は、時系列パルス信号を入力し、複数クラスの当該時系列パルス信号パターンの識別を行い、所定時間窓内で入力される所定の複数パルス信号の到着時間パターンに固有なパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする並列パルス信号処理装置。

【請求項 10】

階層的に複数の演算処理を行う並列パルス信号処理装置であって

異なる階層レベルの中間結果または所定のメモリからデータを入力する入力手段と、

前記入力手段より入力されたデータより複数の特徴を検出する特徴検出層を有し、パルス信号を出力する複数のデータ処理手段と、

タイミング信号発生回路とを備え、

前記データ処理手段は更に、

前段の階層レベルから異なる種類の前記特徴の検出信号を入力し、所定のパルス信号を出力する複数の演算素子と、

所定の前記複数の特徴に関与する前記演算素子からの出力を選択的に通過させるゲート回路とを備え、

前記演算素子は、複数の前記タイミング信号発生回路からの入力信号と所定時間窓内の複数パルスの到着時間パターンとに基づいた周波数又はタイミングでパルス状の信号を出力することを特徴とする並列パルス信号処理装置。

【請求項 11】

前記ゲート回路は、前記複数の結合素子のうち、結合強度が所定レベル以上の結合素子に選択的に接続するスイッチング回路を含むことを特徴とする請求項1又は2に記載の並列パルス信号処理装置。

【請求項 12】

前記ゲート回路は、前記結合素子からの信号のうち、所定の基準時刻に対する遅延が少ない信号の順に選択的に通過させることを特徴とする請求項1又は2に記載の並列パルス信号処理装置。

【請求項 13】

前記ゲート回路は、複数の前記パルス信号から最大出力レベルの信号を選択的に通過させることを特徴とする請求項1又は2、又は請求項7乃至10の何れか1項に記載の並列パルス信号処理装置。

【請求項 14】

前記ゲート回路は、前記結合素子からの信号のうち、極大値をとる信号を最上位レベルから所定の数だけ選択的に通過させることを特徴とする請求項1又は2、又は請求項7乃至10の何れか1項に記載の並列パルス信号処理装置。

【請求項 15】

前記ゲート回路は、前記特徴ごとに上位の出力レベルに相当するパルス信号を選択的に通過させることを特徴とする請求項7に記載の並列パルス信号処理装置。

【請求項16】

請求項1又は2、又は請求項7乃至10の何れか1項に記載の並列パルス信号処理回路を備えることを特徴とするパターン認識装置。

【請求項17】

請求項1又は2、又は請求項7乃至10の何れか1項に記載の並列パルス信号処理装置を用いてパターン認識を行い、当該パターン認識結果に基づいて所定の画像信号の入力制御を行うことを特徴とする画像入力装置。

【請求項18】

複数のパルス出力演算素子と、当該演算素子のうち所定の演算素子間を並列結合する複数の結合素子と、当該複数の結合素子からのパルス信号を選択的に通過させるためのゲート回路とを備える並列パルス信号処理装置の制御方法であって、

前記演算素子は更に、

複数の時系列パルス信号を入力し、

前記入力された複数の時系列パルス信号に基づいて、所定の変調処理を行い、

前記変調処理結果に基づいて、パルス信号出力をを行い、

前記ゲート回路は、前記複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする並列パルス信号処理装置の制御方法。

【請求項19】

階層的に複数の演算処理を行う並列パルス信号処理装置の制御方法であって

複数の演算素子によって、所定の局所的受容野構造により、異なる階層レベルからの信号を入力し、所定のパルス信号を出力し、

ゲート回路素子によって、所定の受容野に属する前記複数の演算素子群からのパルス信号を当該パルス信号の信号レベルに応じて選択的に通過させることを特徴とする並列パルス信号処理回路の制御方法。

【請求項20】

所定次元のデータを入力する入力手段と、複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置の制御方法であって、

前記データ処理手段を構成する、所定の結合手段により並列して結合される複数の演算素子は、所定時間窓内で入力される所定の複数の演算素子からの複数パルスの到着時間パターンに基づいて所定カテゴリのパターンの検出結果を表すパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする並列パルス信号処理装置の制御方法。

【請求項21】

所定次元のデータを入力する入力手段と、パルス信号を出力する複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置の制御方法であって、

前記ゲート回路は、前記複数のデータ処理手段からのパルス信号の信号レベルに基づき選択的に当該パルス信号を選択的に通過させ、

前記データ処理手段を構成する、所定の結合手段により並列して結合される複数の演算素子は、時系列パルス信号を入力し、複数クラスの当該時系列パルス信号パターンの識別を行い、所定時間窓内で入力される所定の複数パルス信号の到着時間パターンに固有なパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする並列パルス信号処理装置の制御方法。

【請求項22】

異なる階層レベルの中間結果または所定のメモリからデータを入力する入力手段と、前記入力手段より入力されたデータより複数の特徴を検出する特徴検出層を有し、パルス信号を出力する複数のデータ処理手段と、タイミング信号発生回路とを備え、階層的に複数

の演算処理を行う並列パルス信号処理装置の制御方法であって

前記データ処理手段は、

複数の演算素子によって、前段の階層レベルから異なる種類の前記特徴の検出信号を入力し、所定のパルス信号を出力し、

ゲート回路素子によって、所定の前記複数の特徴に関する前記演算素子からの出力を選択的に通過させ、

前記演算素子は、複数の前記タイミング信号発生回路からの入力信号と所定時間窓内の複数パルスの到着時間パターンとに基づいた周波数又はタイミングでパルス状の信号を出力することを特徴とする並列パルス信号処理装置の制御方法。

【請求項23】

請求項1又は請求項7乃至10の何れか1項に記載の並列パルス信号処理回路を備えることを特徴とするパターン認識装置の制御方法。

【請求項24】

請求項1又は請求項7乃至10の何れか1項に記載の並列パルス信号処理装置を用いてパターン認識を行い、当該パターン認識結果に基づいて所定の画像信号の入力制御を行うことを特徴とする画像入力装置の制御方法。

【書類名】明細書

【発明の名称】並列パルス信号処理装置、パターン認識装置、及び画像入力装置

【技術分野】

【0001】

本発明は、パターン認識機能を有する並列パルス信号処理回路または神経回路網に関するものである。

【背景技術】

【0002】

従来、大規模な神経回路網を小規模の回路で実現するための方式として、従来から開示されるようなパルス信号を発生するニューロンモデルを用い、時分割多重処理を行う構成が知られる（例えば特許文献1，2を参照）。また、その他にも、パルス列を出力する素子と一次記憶手段を用いてニューロン素子を構成することにより、配線問題の軽減が可能な構成が従来から開示されている（例えば特許文献3を参照）。

【0003】

一方、画像認識の分野においては、特定の認識対象に特化した認識処理アルゴリズムを生体の情報処理機構にヒントを得た神経回路網モデルにより実現するパターン認識方法（階層的テンプレートマッチングを行う方法）が提案されている（例えば特許文献4、非特許文献1を参照）。

【0004】

また、生体の神経回路網による情報処理機構をより忠実に取り入れようとする試みとして、アクションポテンシャルに相当するパルス列による情報の伝達表現を行う神経回路網モデル回路が提案されている（例えば非特許文献2、特許文献5乃至9を参照）。

【0005】

パルス列生成ニューロンからなる神経回路網により特定対象の認識、検出を行う方法としては、結合入力(linking inputs)と供給入力(feeding inputs)を前提としたEckhornらによる高次（2次以上）のモデル（例えば非特許文献3を参照）、即ち、パルス結合神経回路網（以下、PCNNと略す）を用いた方式がある（例えば特許文献10、非特許文献4を参照）。

【特許文献1】特公平5-47870号公報

【特許文献2】特許第2679730号公報

【特許文献3】特公平6-93249号公報

【特許文献4】特公昭60-712号公報

【特許文献5】特開平7-262157号公報

【特許文献6】特開平7-334478号公報

【特許文献7】特開平8-153148号公報

【特許文献8】特許2624143号公報

【特許文献9】特許2879670号公報

【特許文献10】U.S.P 5664065

【非特許文献1】Fukushima & Miyake, 1982 Neocognitron: A new algorithm for pattern recognition tolerant of deformation and shifts in position, Pattern Recognition, vol. 15, pp. 455-469

【非特許文献2】Murray et al., 1991 Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques, IEEE Trans. on Neural Networks, vol. 2, pp. 193-204.

【非特許文献3】Eckhorn, et al. 1990, Feature linking via synchronization among distributed assemblies: Simulation of results from cat cortex, Neural Computation, Vol. 2, pp. 293-307

【非特許文献4】Broussard, et al. 1999, Physiologically Motivated Image Fusion for Object Detection using a Pulse Coupled Neural Network, IEEE Trans. on Neural Networks, vol. 10, pp. 554-563

【発明の開示】**【発明が解決しようとする課題】****【0006】**

上記従来例に示す神経回路網のうち、時分割多重処理を行う構成では、シナプス結合の数とともに処理時間が増大するという問題があり、他の構成では、シナプス結合の数が多くなるほど回路規模の増大と配線問題が顕著になること、およびシナプス結合を通じた信号の加算により保持すべき情報（荷重和値など）のダイナミックレンジが増大することなどから電子回路化することが困難であった。

【0007】

本発明は以上の問題に鑑みて成されたものであり、配線問題を軽減し、小回路規模化と低消費電力化をもたらすことを目的とする。

【課題を解決するための手段】**【0008】**

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置は以下の構成を備える。

【0009】

即ち、複数のパルス出力演算素子と、当該演算素子のうち所定の演算素子間を並列結合する複数の結合素子と、当該複数の結合素子からのパルス信号を選択的に通過させるためのゲート回路とを備える並列パルス信号処理装置であって、

前記演算素子は更に、

複数の時系列パルス信号を入力する入力手段と、

前記入力された複数の時系列パルス信号に基づいて、所定の変調処理を行う変調処理手段と、

前記変調処理結果に基づいて、パルス信号出力を行うパルス出力手段と

を備え、

前記ゲート回路は、前記複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする。

【0010】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置は以下の構成を備える。

【0011】

即ち、階層的に複数の演算処理を行う並列パルス信号処理装置であって

所定の局所的受容野構造により、異なる階層レベルからの信号を入力し、所定のパルス信号を出力する複数の演算素子と、

所定の受容野に属する前記複数の演算素子群からのパルス信号を当該パルス信号の信号レベルに応じて選択的に通過させるゲート回路素子と
を備えることを特徴とする。

【0012】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置は以下の構成を備える。

【0013】

即ち、所定次元のデータを入力する入力手段と、複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置であって、

前記データ処理手段は更に、所定の結合手段により並列して結合される複数の演算素子を含み、

前記データ処理手段を構成する前記演算素子は、所定時間窓内で入力される所定の複数の演算素子からの複数パルスの到着時間パターンに基づいて所定カテゴリのパターンの検出結果を表すパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検

出結果を出力することを特徴とする。

【0014】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置は以下の構成を備える。

【0015】

即ち、所定次元のデータを入力する入力手段と、パルス信号を出力する複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置であって、

前記データ処理手段は更に、所定の結合手段により並列して結合される複数の演算素子を含み、

前記ゲート回路は、前記複数のデータ処理手段からのパルス信号の信号レベルに基づき選択的に当該パルス信号を選択的に通過させ、

前記演算素子は、時系列パルス信号を入力し、複数クラスの当該時系列パルス信号パターンの識別を行い、所定時間窓内で入力される所定の複数パルス信号の到着時間パターンに固有なパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする。

【0016】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置は以下の構成を備える。

【0017】

即ち、階層的に複数の演算処理を行う並列パルス信号処理装置であって

異なる階層レベルの中間結果または所定のメモリからデータを入力する入力手段と、

前記入力手段より入力されたデータより複数の特徴を検出する特徴検出層を有し、パルス信号を出力する複数のデータ処理手段と、

タイミング信号発生回路とを備え、

前記データ処理手段は更に、

前段の階層レベルから異なる種類の前記特徴の検出信号を入力し、所定のパルス信号を出力する複数の演算素子と、

所定の前記複数の特徴に関与する前記演算素子からの出力を選択的に通過させるゲート回路とを備え、

前記演算素子は、複数の前記タイミング信号発生回路からの入力信号と所定時間窓内の複数パルスの到着時間パターンとに基づいた周波数又はタイミングでパルス状の信号を出力することを特徴とする。

【0018】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置の制御方法は以下の構成を備える。

【0019】

即ち、複数のパルス出力演算素子と、当該演算素子のうち所定の演算素子間を並列結合する複数の結合素子と、当該複数の結合素子からのパルス信号を選択的に通過させるためのゲート回路とを備える並列パルス信号処理装置の制御方法であって、

前記演算素子は更に、

複数の時系列パルス信号を入力し、

前記入力された複数の時系列パルス信号に基づいて、所定の変調処理を行い、

前記変調処理結果に基づいて、パルス信号出力をを行い、

前記ゲート回路は、前記複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させることを特徴とする。

【0020】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置の制御方法は以下の構成を備える。

【0021】

即ち、階層的に複数の演算処理を行う並列パルス信号処理装置の制御方法であって
複数の演算素子によって、所定の局所的受容野構造により、異なる階層レベルからの信号を入力し、所定のパルス信号を出力し、

ゲート回路素子によって、所定の受容野に属する前記複数の演算素子群からのパルス信号を当該パルス信号の信号レベルに応じて選択的に通過させることを特徴とする。

【0022】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置の制御方法は以下の構成を備える。

【0023】

即ち、所定次元のデータを入力する入力手段と、複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置の制御方法であって、

前記データ処理手段を構成する、所定の結合手段により並列して結合される複数の演算素子は、所定時間窓内で入力される所定の複数の演算素子からの複数パルスの到着時間パターンに基づいて所定カテゴリのパターンの検出結果を表すパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする。

【0024】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置の制御方法は以下の構成を備える。

【0025】

即ち、所定次元のデータを入力する入力手段と、パルス信号を出力する複数のデータ処理手段と、当該データ処理手段からの信号を選択的に通過させるゲート回路と、パターン検出結果の出力手段とを備える並列パルス信号処理装置の制御方法であって、

前記ゲート回路は、前記複数のデータ処理手段からのパルス信号の信号レベルに基づき選択的に当該パルス信号を選択的に通過させ、

前記データ処理手段を構成する、所定の結合手段により並列して結合される複数の演算素子は、時系列パルス信号を入力し、複数クラスの当該時系列パルス信号パターンの識別を行い、所定時間窓内で入力される所定の複数パルス信号の到着時間パターンに固有なパルス状の信号列を出力し、

前記出力手段は、前記演算素子からの出力に基づき、前記データ中の所定パターンの検出結果を出力することを特徴とする。

【0026】

本発明の目的を達成するために、例えば本発明の並列パルス信号処理装置の制御方法は以下の構成を備える。

【0027】

即ち、異なる階層レベルの中間結果または所定のメモリからデータを入力する入力手段と、前記入力手段より入力されたデータより複数の特徴を検出する特徴検出層を有し、パルス信号を出力する複数のデータ処理手段と、タイミング信号発生回路とを備え、階層的に複数の演算処理を行う並列パルス信号処理装置の制御方法であって

前記データ処理手段は、

複数の演算素子によって、前段の階層レベルから異なる種類の前記特徴の検出信号を入力し、所定のパルス信号を出力し、

ゲート回路素子によって、所定の前記複数の特徴に関する前記演算素子からの出力を選択的に通過させ、

前記演算素子は、複数の前記タイミング信号発生回路からの入力信号と所定時間窓内の複数パルスの到着時間パターンとに基づいた周波数又はタイミングでパルス状の信号を出力することを特徴とする。

【発明の効果】

【0028】

本発明の構成により、特徴検出に有意な信号のみを選択し、シナプス結合の全てについて信号加算を行わない（たとえ信号レベルが全て非ゼロの場合であっても）構成とするので、配線問題を軽減し、小回路規模化と低消費電力化をもたらすことができる。

【発明を実施するための最良の形態】**【0029】**

以下添付図面を参照して、本発明を好適な実施形態に従って詳細に説明する。

【0030】**[第1の実施形態]****<全体構成概要>**

図1は、並列パルス信号処理装置の要部構成を示し、データ入力制御回路1、ニューロンアレイ回路ブロック2、シナプスアレイ回路ブロック3、処理結果保持メモリ4、ゲート回路5、信号生成回路6、および全体制御回路7を主たる構成要素とする。

【0031】

図1において、データ入力制御回路1は、画像データなどをセンサ或いはデータベース等から入力する為の制御回路で内部に一次記憶用メモリを有する。ニューロンアレイ回路ブロック2は、図4に示すような階層処理構造中の所定階層に属するニューロン回路が複数個配列する。即ち、本実施形態では、任意の時間帯にニューロンアレイ回路ブロック2およびシナプスアレイ回路ブロック3を用いて実現するのは、多層神経回路網の一階層（または一階層中の一特徴クラスの検出に関与するニューロン）であり他の階層に属するニューロン（または他の特徴クラスの検出に関与するニューロン）については異なる時間帯に実現する。

【0032】

シナプスアレイ回路ブロック3は、ニューロン間のシナプス結合回路が2次元アレイ状に配列する。ここでは、異なる階層間でシナプス結合がある場合について説明する。シナプスアレイ回路ブロック3は、ある一つ以上の階層レベルへのシナプス結合を実現する。

【0033】

シナプスアレイ回路ブロック3は全体制御回路7により、ニューロンアレイ回路ブロック2内のニューロン回路との結合構造が制御される。全体制御回路7は、内部のメモリ（不図示）に特徴クラスに応じた受容野構造データを格納している。受容野構造データについては後述する。処理結果保持メモリ4は、ニューロンアレイ回路ブロック2からの出力を一時的に保持するメモリである。

【0034】

信号生成回路6は、シナプスアレイ回路ブロック3にニューロンアレイからの出力信号を供給する。全体制御回路7は各回路ブロックの動作を制御して多層神経回路網において下位層から上位層への信号入出力を制御する。なお、受容野構造データを格納するデータは全体制御回路7内部のメモリに格納されていることは、本実施形態の主要な作用をもたらすものではない。

【0035】

従って、受容野構造データを記憶する手段としては、並列パルス信号処理装置の外部メモリ、或いは、図1の構成に並列パルス信号処理装置の一部として別途付加されるメモリなど、図1とは異なる構成により実現するものであっても良いことはいうまでもない。

【0036】

図2は上記並列パルス信号処理によって実現するネットワーク回路網全体の構成を概念的に示す図である。図2に概念的に示すような多層神経回路網をアナログ・デジタル混載または融合型回路として実装する場合、2次元平面にニューロン、シナプス等の構成要素を全て並列配置し、並列処理を実現することは困難な場合が多い。そのため、本実施形態においても少數のニューロンまたはシナプス回路要素を用いて時分割処理を行う。

【0037】

図2に示すネットワークは、画像として与えられる対象（またはその幾何学的特徴など

) の認識及び検出に必要な情報を主として扱うものであり、その基本構造は階層構造を有するいわゆるConvolutionalネットワーク構造(文献1：LeCun, Y. and Bengio, Y., 1995, "Convolutional Networks for Images Speech, and Time Series" in Handbook of Brain Theory and Neural Networks (M. Arbib, Ed.), MIT Press, pp. 255-258)である。

【0038】

但しここでは、後で説明する特徴検出層と特徴統合層との層間結合にシナプス結合とゲート回路(後述)を用いている点が従来の基本構造と異なる。このネットワークの最終出力(最上位層出力)は認識結果、即ち検出された対象のカテゴリ及びその入力データ上での位置情報である。以下、図2に示す各要素について概要を説明する。

【0039】

データ入力層1は、画像センサ手段の場合はCMOSセンサ或いはCCD素子等の光電変換素子から構成される。特徴検出層(1, 0)は、入力画像データから低次特徴検出を行い、Gabor wavelet変換その他による多重解像度処理により、画像パターンの局所的な低次の特徴(幾何学的特徴のほか色成分特徴を含んでもよい)を全画面の各位置(或いは、全画面にわたる所定のサンプリング点の各点)において同一箇所で複数のスケールレベル又は解像度で複数の特徴カテゴリの数だけ検出する。

【0040】

特徴検出層の各ニューロン素子は、特微量の種類(例えば、幾何学的特徴として所定方向の線分を抽出する場合にはその幾何学的構造である線分の傾き)に応じた受容野構造を有し、その程度に応じたパルス列を発生する。

【0041】

特徴検出層(1, k)は、全体として複数の解像度(又はスケールレベル)での処理チャネルを形成する(但し $k \geq 0$)。Gabor wavelet変換を特徴検出層(1, 0)で行う場合を例にとると、スケールレベルが同一で方向選択性の異なるGaborフィルタカーネルを受容野構造に持つ特徴検出細胞のセットは、特徴検出層(1, 0)において一つの処理チャネルを形成し、後続の層(1, 1)においても、それら特徴検出細胞からの出力を受ける特徴検出細胞(より高次の特徴を検出する)は、当該処理チャネルと同一のチャネルに属する。

【0042】

なお、Gabor wavelet変換を神経回路網で行う方法の詳細については、文献2：Daugman(1988)による(IEEE Trans. on Acoustics, Speech, and Signal Processing, vol. 36, pp. 1169-1179)を参照されたい。

【0043】

更に後続の層(1, k)(但し $k > 1$)においても、同様に(2, k-1)層において同一チャネルを形成する複数の特徴統合細胞からの出力を受ける特徴検出細胞は、当該チャネルに属するように構成される。各処理チャネルは、同一スケールレベル(又は解像度)での処理が進行していくものであり、階層的並列処理により低次特徴から高次特徴までの検出及び認識を行う。

【0044】

異なる処理チャネル間では、同じ階層レベル(検出される特徴の複雑さが同レベル)であれば、検出される特徴の違いは、同一カテゴリであるが、互いに異なるスケールで検出されたものであることがある。例えば、中次の特徴として顔の中の「目」のパターンを考えたとき、サイズの異なる「目」の検出がそれぞれのチャネルで行われる。即ち、画像中の与えられたサイズの「目」に対してスケールレベル選択性の異なる複数の処理チャネルにおいて検出が試みられる。

【0045】

次に特徴統合層について説明する。

【0046】

特徴統合層(2, 0), (2, 1) . . . では、各ニューロン素子は、特徴検出層(1

, 0) からの入力を受け、前述したサブサンプリングのための所定の受容野構造（以下、受容野とは直前の層の出力素子との結合範囲を、受容野構造とはその結合荷重の分布を意味する）を有する。即ち、特徴検出層 (1, 0) からの同一受容野内の複数ニューロン素子出力を統合することにより、局所平均化、或いは、局所的な領域内での最大値検出等による代表値抽出（サブサンプリング）などの演算を行う。

【0047】

特徴統合層内の画像特徴部ニューロンの各受容野は同一層内のニューロン間で共通の構造を有している。各特徴検出層 (1, 1) 、 (1, 2) 、 … 、 (1, N) 及び各特徴統合層 (2, 1) 、 (2, 2) 、 … 、 (2, N) は、それぞれ所定の受容野構造を持ち、上述した各層と同様に前者 ((1, 1) 、 …) は、各特徴検出モジュールにおいて複数の異なる特徴の検出を行い、後者 ((2, 1) 、 …) は、前段の特徴検出層からの複数特徴に関する検出結果の統合を行う。但し、前者の特徴検出層は同一チャネルに属する前段の特徴統合層の細胞素子出力を受けるように結合（配線）されている。

【0048】

次にゲート回路 5 について説明する。

【0049】

ゲート回路 5 は、同一層内の複数のニューロン素子からの出力のうち、出力レベルが大きいパルス信号を選択的に通過させる。特徴統合層からの出力を選択的に通過させるゲート回路は、後段の特徴検出層ニューロンに付随し、その特徴検出層ニューロンが入力を受ける低次の特徴クラスごとに特徴統合層ニューロン出力のうち上位出力レベルの信号を選択的に通過させる。また、特徴検出層から特徴統合層への出力を選択的に通過させるゲート回路としての機能は、後段の特徴統合層ニューロンが行うサブサンプリング機能により実現し、図 1 に示すゲート回路 5 は用いないものとする。

【0050】

従って、ゲート回路 5 は特徴統合層から特徴検出層への出力信号のうち上位レベルの出力信号（更に条件をつけるとすると出力分布の極大値をとり、かつその極大値の上位レベルの信号でもよい）を選択的に通過させるものとして以下に説明する。

【0051】

ゲート回路 5 は、特徴検出層ニューロンの受容野内にあって所定の特徴クラス（下位レベル）に属する特徴統合層ニューロンからのパルス信号出力の信号レベルを検出し、1つの特徴クラスに付き k 個 (k は自然数) の上位出力レベル（例えば、最大レベルから上位 k 番目のレベルまで）の信号を通過させる。

【0052】

特徴検出層ニューロンが同じ特徴クラスに属する複数の特徴（ただし、入力データ上の位置は互いに異なるものとする）の検出を必要とする場合には、必要とされる局所特徴数に上記 k を乗算した数、またはその同程度の数とし、かつゲート回路はその特徴クラスの特徴統合層ニューロン出力のうち極大値をとる出力信号のうち上位の信号を選択する機能を有する。このような機能は所定のWTA回路により実現することができる（例えば、文献 3 : G. Indiveri (2001) “A Neuromorphic VLSI Device for Implementing 2-D Selective Attention Systems,” IEEE Trans. On Neural Networks, vol. 12, pp. 1455-1463. を参照）。即ち、この場合には特定の特徴クラスに属する特徴統合層ニューロン出力をクラスタリングして得られる各クラスタのピークレベルの信号を選択する。なお、極大値及びその近傍の信号を選択しても良い。

【0053】

本実施形態では、特徴統合層に存在する特徴クラスごとに以上のような機能を有するゲート回路が少なくとも一つ特徴統合層と後段の特徴検出層の間に設定される。

【0054】

図 13 は、特徴統合層の j 及び $j + 1$ 番目の特徴クラスからの出力について、それぞれを受け持つゲート回路 5_j と 5_{j+1} が各クラス内の出力分布から上位 2 個の極大値信号を選択的に通過させることを模式的に示したものである。同図において点線で示した箇所が

、選択された部分を示すものである。

【0055】

ゲート回路5の構成を図3Aに示す。ゲート回路5は、前段の層からの信号選択部50、クロック信号入力部51、カウンタ52、ゲートスイッチ53、ゲート制御回路54などから構成される。

【0056】

信号選択部50は、そのゲート回路5と対応する特徴検出層ニューロンの受容野に属する特徴統合層ニューロンからの信号のうち既に説明したような所定の基準を満たす信号だけを選択的に入力する。例えば、前段の特徴統合層ニューロン出力がメモリに一時的に格納される場合、受容野に属する各ニューロン出力が格納されているメモリアドレスを適切に設定する（例えば、上位k個の出力信号を選択する）ことにより信号の選択的入力をを行う。以下、このような場合を前提として説明する。

【0057】

ゲート回路のカウンタ52は、選択的に通過させたパルス信号数をカウントする為のものであり、クロック信号入力部51からのタイミング信号によりリセットされる。ゲート制御回路54は、カウンタ52の値が所定の上限値に達するとゲートスイッチ53を開き、以後パルス信号は後段の層に出力されない。

【0058】

特徴検出層への信号の並列入力が時分割で部分的に行われる（例えば、ある特徴クラスを検出する特徴検出ニューロン全体の4分の1に対応する受容野分の特徴統合層からの信号を一度に入力する）場合には、制御回路は受容野が互いに重なり合わない特徴検出層ニューロンを並列入力可能な数だけ選択する。この場合、次にゲート制御回路の信号選択部50は各特徴検出層ニューロンの受容野に対応する特徴統合層ニューロン出力を格納するメモリアドレスを設定して各出力データを読み込む。上述した並列入力以降の入力ステップでは、受容野が互いに重なり合わない条件は保持しながら、前の入力ステップで入力したものと順次異なる受容野からの入力をを行う。

【0059】

ゲート回路の信号選択部50は一般的に、通過させる信号の数kが1の場合、いわゆるWinner take all (WTA) 回路としての機能を持つ。特徴統合層からの出力が位相変調されたパルス信号である場合には、信号のレベルを基準時刻からの遅延量によってその信号レベルを検出する。基準時刻は、全体制御回路7内部のタイミング素子からのクロックパルス信号の入力により与えられる。

【0060】

ゲート回路は、図5に示す構成に限定されるものではなく、上述した信号選択機能を有するものであれば良いことは言うまでもない。なお、以上の説明では一つの特徴クラスについて一つのゲート回路を設定したが、特徴統合層の複数の特徴クラスからの信号について一括して上位レベルの出力信号（極大値信号であることを条件としても良い）を選択的に通過させても良い。この場合は、ある特徴クラスで上位レベル信号であっても複数クラスの全体としては上位ではない信号は、ゲート回路を通過できないことは言うまでもない。

◦

【0061】

次にニューロン素子間の結合手段としてのシナプス回路について説明する。

【0062】

本実施形態でのシナプス回路は、層間結合を実現し、図7Aに示すように、神経細胞（ニューロン）の軸索または樹状突起に相当する信号伝達部（配線または遅延線）、及びシナプス結合部である。図7Aでは、ある特徴検出（統合）細胞に対する受容野を形成する特徴統合（検出）細胞のニューロン群（ n_j ）からの出力（当該細胞から見ると入力）に関する結合部の構成を示している。図7Aにおいて、各ニューロン素子 n_j は、パルス信号列（スパイクトレイン）を出力する。

【0063】

いわゆる興奮性結合は、シナプス回路においてパルス信号の増幅を行い、抑制性結合は逆に減衰を与えるものである。パルス信号により情報の伝達を行う場合、増幅及び減衰はパルス信号の振幅変調、パルス幅変調、位相変調、周波数変調のいずれによつても実現することができる。

【0064】

本実施形態においては、シナプス結合部Sは、パルスの位相変調素子として用いる場合には、信号の増幅はパルス到着時間の実質的な進み（或いは、少ない位相遅延量）として、減衰は実質的な遅れ（或いは、大きな位相遅延量）として変換される。即ち、定性的には興奮性結合は、ある基準位相に対する到着パルスの位相の進みを、抑制性結合では同様に遅れを与えるものである。シナプス結合手段としては、この他にパルス幅変調、周波数変調などいずれの変調方法を用いても構わない（本実施形態では、パルス位相変調を用いて説明する）。シナプス結合部とニューロン素子とを、それぞれまとめて図7Bに示すような回路ブロックを構成してもよい。

【0065】

次に、各層を構成するニューロン素子について説明する。各ニューロン素子はパルス信号を入力し、パルス信号を出力するパルス信号の変調出力素子であり、例えば入力信号（アクションポテンシャルに相当するパルス列）を時空間的に線形加算した結果が閾値を越したら発火し、パルス状信号を出力するようないわゆるintegrate-and-fireニューロン、或いはパルス信号の位相、幅などの非線形変換回路を用いても良い。

【0066】

特徴検出層（1、k+1）の画像特徴部ニューロン素子は、入力として特徴統合層（2、k）の複数の特徴クラスに属するニューロン素子からの出力を受ける。

【0067】

一方、特徴統合層（2、k+1）のニューロン素子は、そのニューロン素子と同じ特徴クラスに属する特徴検出層ニューロン素子からの出力を受ける。

【0068】

図4は、ニューロン素子をIntegrate-and-fire回路としたときに用いられるニューロン素子のパルス発生回路の動作原理を表す基本構成の一例を示す。ここでは、3種類の入力として、特徴統合層または特徴検出層からの興奮性入力若しくは抑制性の入力、及び、全体制御回路7にあるタイミング素子からの入力を受けるものとして構成されている。3番目の入力信号は後述する時間窓の発生タイミング（入力パルス信号の時間積分開始のタイミング）信号を与えるためのものである。

【0069】

興奮性入力側のキャパシタC₁及び抵抗R₁回路の時定数は、キャパシタC₂及び抵抗R₂回路の時定数より小さく、定常状態では、トランジスタT₁、T₂、T₃は遮断されている。なお、抵抗は実際には、能動負荷たるトランジスタで構成される。

【0070】

キャパシタC₁の電位が増加し、キャパシタC₂のそれよりトランジスタT₁の閾値だけ上回ると、T₁はアクティブになり、更にトランジスタT₂、T₃をアクティブにする。トランジスタT₂、T₃は、電流ミラー回路を構成し、図4の回路の出力は、不図示の出力回路によりキャパシタC₁側から出力される。キャパシタC₂の電荷蓄積量が最大となるとトランジスタT₁は遮断され、その結果としてトランジスタT₂及びT₃も遮断され、上記正のフィードバックは0となる様に構成されている。

【0071】

いわゆる不応期にはキャパシタC₂は放電し、C₁の電位がC₂の電位よりT₁の閾値分より大とならない限り、ニューロンは応答しない。キャパシタC₁、C₂の交互充放電の繰り返しにより周期的なパルスが出力され、その周波数は一般的には興奮性入力のレベルに対応してきまる。但し、不応期が存在することにより、最大値で制限されるようにすることもできるし、一定周波数を出力するようにもできる。

【0072】

なお、上記Integrate-and-Fire機能を有する素子を用いず、シナプス後のパルス信号が加算された内部状態を所定のニューロン活性化関数（シグモイド関数など）に基づいて変調されたパルス信号のかたちで出力する回路を用いても良い。

【0073】

ニューロン素子でのパルス信号積分特性を制御する役割をもつのが、時間窓重み関数発生回路である。この回路によりキャパシタの電位（及び電荷蓄積量）は時間的に制御される。この制御特性を反映するのが、入力パルスに対する後述の時間窓内での重み付き加算である（図11A～図11Dを参照）。

【0074】

この重みにシナプス荷重値を対応させる場合には、時間窓重み関数発生回路は信号レベルとシナプス荷重値の積に相当する値が得られるように入力パルスの到着時間に応じた重み関数を生成する。即ち、パルスの到着時間の遅れ増大とともに乗算される重みの値が減少するように関数波形が設定される。関数波形の生成は、アナログ発振回路を使うか、デジタル回路でルックアップテーブル法や関数生成法によりデジタル波形を作り出し、それをD/A変換器によりアナログ波形にする方法を用いてもよい。

【0075】

この基準電圧制御回路は、タイミング素子からの入力タイミング（又は、後続層のニューロンとの相互結合入力）に基づき、基準電圧信号（図11Bの重み関数に相当）を発生する。

【0076】

一般的に、入力信号の上記総和と出力レベル（パルス位相、パルス周波数、パルス幅など）の関係は、そのニューロンの感度特性によって変化し、また、その感度特性は上位層からのトップダウンの入力により変化させることができる。以下では、説明の便宜上、入力信号総和値に応じたパルス出力の周波数は急峻に立ち上がるよう回路パラメータが設定されているものとし（従って周波数ドメインでは殆ど2値）、パルス位相変調により、出力レベル（位相変調を与えたタイミングなど）が変動するものとする。

【0077】

特徴統合層内の画像特徴部ニューロンからの出力により、時間窓内の重み関数で上記基準電圧が制御される結果、特徴検出層ニューロンからの出力特性（例えばパルス出力の位相）が変化する。位相変調がなされる場合には、この位相をニューロンの出力レベルとして用いることができる。

【0078】

また、ニューロン出力（シナプス前）の位相は、後述するように時間窓の始期を基準とし、その基準時からの遅れ（位相）は基準パルス（タイミング素子出力その他による）を受けた時の電荷蓄積量により決まるような出力特性を有する。このような出力特性を与える回路構成の詳細については、本実施形態の主眼とする所ではないので省略する。シナプス後のパルス位相が当該シナプスにより与えられる固有の位相変調量にシナプス前の位相を加算したものとする場合には、シナプス荷重とシナプス前信号との乗算（通常行われる演算）は、後述する時間窓重み関数において行われる。

【0079】

なお、窓関数などを用いることにより得られる入力の総和値が閾値を越えたときに、所定タイミング遅れて発振出力を出すような公知の回路構成を用いてもよい。

【0080】

特徴検出層のニューロンは前述したように特徴カテゴリに応じた受容野構造を有し、前段の層（入力層または特徴統合層）のニューロンからの入力パルス信号（電流値または電位）の時間窓関数による後述の荷重総和値が閾値以上となったとき、その総和値に応じて、例えばシグモイド関数等の一定レベルに漸近的に飽和するような非減少かつ非線形な関数、即ちいわゆるsquashing関数値をとるような出力（ここでは位相変化で与える；周波数、振幅、パルス幅基準での変化となる構成でもよい）でパルス出力を行う。

【0081】

<シナプス回路等>

図4は、シナプス結合部Siにおいてニューロンniの結合先である各ニューロン n' , j へのシナプス結合強度（位相遅延等に関する変調の大きさを意味する）を与える各小回路がマトリクス的に配置されていることを示す。

【0082】

図9Bに示すように各シナプス結合小回路401は、学習回路402と位相遅延回路403とからなる。学習回路402は、位相遅延回路403の特性を変化させることにより、上記遅延量を調整し、また、その特性値（或いはその制御値）を浮遊ゲート素子、或いは浮遊ゲート素子と結合したキャパシタ上に記憶するものである。

【0083】

位相遅延回路403はパルス位相変調回路であり、例えば、図10Aに示すような単安定マルチバイブレータ506、507及び、抵抗501、504、キャパシタ503、505、トランジスタ502を用いた構成がある。図10Bは単安定マルチバイブレータ506へ入力された方形波P1、単安定マルチバイブレータ506から出力される方形波P2、単安定マルチバイブレータ507から出力される方形波P3の各タイミングを表している。

【0084】

位相遅延回路403の動作機構の詳細については説明を省略するが、P1のパルス幅は、充電電流によるキャパシタ503の電圧が予め定められた閾値に達するまでの時間で決まり、P2の幅は抵抗504とキャパシタ505による時定数で決まる。P2のパルス幅が（図10Bの点線方形波のように）広がって、その立ち下がり時点が後にずれるとP3の立ち上がり時点も同じ量ずれるが、P3のパルス幅は変わらないので、結果的に入力パルスの位相だけが変調されて出力されたことになる。

【0085】

位相遅延量は、シナプス結合に入力される前のパルス信号とシナプス結合後のパルス信号とでシナプス荷重に相当する位相遅延の変換により与えられる。本実施形態では、シナプス荷重値が大きいほど小さい位相遅延量になるようとする。

【0086】

なお、シナプス結合回路としては位相遅延回路を用いる代わりに後述する所定の重み関数を用いた時間窓積分回路を用いても良い。この場合は、パルス信号にシナプス荷重に相当する重みがパルス信号に乗算されるように構成する。

【0087】

制御電圧E_cを基準電圧のリフレッシュ回路509と結合荷重を与えるキャパシタ508への電荷蓄積量制御を行う学習回路402で変化させることにより、パルス位相（遅延量）を制御することができる。この結合荷重の長期保持のためには、学習動作後に不図示の浮遊ゲート素子等のアナログメモリへ、或いはデジタルメモリ（SDRAM, MRAMなど）への書き込み等を行って結合荷重を格納してもよい。

【0088】

パルスの同時到着、或いは所定の位相変調量を実現するシナプスでの学習回路の例としては、図9Aに示すような回路要素を有するものを用いればよい。即ち、学習回路402をパルス伝播時間計測回路510（ここで、伝播時間とは、ある層のニューロンの前シナプスでのパルス出力時刻と次の層上にある出力先ニューロンでの当該パルスの到着時刻との時間差をさす）、時間窓発生回路511、及び伝播時間が一定値となるようにシナプス部でのパルス位相変調量を調整するパルス位相変調量調整回路512から構成できる。

【0089】

伝播時間計測回路510としては、後述するような同一局所受容野を形成するタイミング素子からのクロックパルスを入力し、所定の時間幅（時間窓：図3B参照）において、そのクロックパルスのカウンタ回路からの出力に基づき伝播時間を求めるような構成などが用いられる。

【0090】

<特徴検出層(1, 0)での処理>

特徴検出層10の各ニューロンは、 g_{m_n} に対応する受容野構造を有する。同じスケールインデックス m を有する g_{m_n} は同じサイズの受容野を有し、演算上は対応するカーネル g_{m_n} サイズもスケールインデックスに応じた大きさを有するようにしてある。ここでは、最も粗いスケールから順に入力画像上の 30×30 、 15×15 、 7×7 のサイズとした。各ニューロンは、分布重み係数と画像データとの積和入力を行って得られるウエーブレット変換係数値の非線型squashing関数となる出力レベル（ここでは位相基準とする；但し、周波数、振幅、パルス幅基準となる構成でもよい）でパルス出力をを行う。この結果、この層(1, 0)全体の出力として、Gabor wavelet変換が行われたことになる。

【0091】

<特徴検出層での処理（中次、高次特徴抽出）>

後続の特徴検出層((1, 1)、(1, 2)、...)では、中次から高次の画像特徴を入力画像上の所定サンプリング位置で検出する。各ニューロンは、上記特徴検出層(1, 0)とは異なり、検出すべき特徴パターンに固有の受容野構造をいわゆるHebb学習則等により形成する。後の層ほど特徴検出を行う局所的な領域のサイズが認識対象全体のサイズに段階的に近くなり、幾何学的には中次または高次の特徴を検出する。例えば、顔の検出認識を行う場合には中次（または高次）の特徴とは顔を構成する目、鼻、口等の図形要素のレベルでの特徴を表す。なお、特徴検出層ニューロンは一般的に（低次、高次特徴抽出に依らず）、出力の安定化のために抑制性（分流型抑制：shunting inhibition）の結合を前段の層出力に基づいて受けるような機構を有してもよい。

【0092】

<特徴統合層（画像特徴部）での処理>

特徴統合層((2, 0)、(2, 1)、...)のニューロン素子について説明する。図2に示すごとく特徴検出層（例えば(1, 0)）から特徴統合層（例えば(2, 0)）への結合は、当該特徴統合ニューロンの受容野内にある前段の特徴検出層の同一特徴要素（タイプ）のニューロン素子から興奮性結合の入力及び後述するタイミング素子出力(PNout 1)とともに図4の興奮性入力側で受けるように構成され、統合層のニューロン素子の機能は前述したごとく、特徴カテゴリごとの局所平均化或いは最大値検出その他のサブサンプリング等である。

【0093】

特徴統合層ニューロンによれば、複数の同一種類の特徴に関するパルスを入力し、それらを局所的な領域（受容野）で統合して平均化する（或いは、受容野内での最大値等の代表値を算出する）ことにより、その特徴の位置のゆらぎ、変形に対しても確実に検出することができる。このため、特徴統合層ニューロン素子の受容野構造は、特徴カテゴリによらず一様（例えば、いずれも所定サイズの矩形領域であって、かつ感度または重み係数がその中で一様分布するなど）となるように構成してよい。

【0094】

<パターン検出の動作原理>

以下、図2に示すネットワーク構成をパターン認識装置に適用する場合の2次元図形パターンのパルス符号化と検出方法について説明する。図8Aは、特徴統合層から特徴検出層への（例えば、図1の層(2, 0)から層(1, 1)への）パルス信号の伝播の様子を模式的に示したものである。ゲート回路5がシナプス結合素子(Sj)の前にあり、特徴検出に有意なパルス信号(P1, P3)のみを通過させることを示している。図8Aではシナプス結合素子S1, S3により変調を受けるパルスのみが伝播することを示している。特徴統合層側の各ニューロン n_i は、それぞれ異なる特徴量（或いは特徴要素）に対応し、特徴検出層側のニューロン n'_j は、同一受容野内の各特徴を組み合わせて得られる、より高次の特徴（図形要素）の検出に関与する。

【0095】

特徴統合層ニューロンから特徴検出層ニューロンへの結合により特徴統合層出力の上位レベルのみ伝達させるために、上位レベルの極大値をとるパルス信号についてだけ開くゲ

ート回路5をシナプス結合回路の入力側に設定してある。

タイミングパルス信号(PN)入力があったときに、特徴統合層ニューロンからの出力パルス信号は、シナプス結合回路で位相変調などの変調処理を受けて次の特徴検出層に伝播し、特徴検出層ニューロンでは特徴統合層ニューロンからのシナプス結合を経由したパルス信号の時間的積分が時間積分窓の範囲内で行われる。

【0096】

ここに、時間窓は特徴検出細胞($n' i$)ごとに定められ、当該細胞に関して同一受容野を形成する特徴統合層内の各ニューロンに対して共通であり、時間窓積分の時間範囲を与える。

【0097】

図8Aではゲート回路5は、特徴検出層ニューロンのシナプス結合の前にある。ゲート回路5に信号を入力するニューロンは、特徴検出層ニューロンの受容野を構成し、かつ同じ特徴クラスに属する全ての特徴統合層ニューロンである。本実施形態での特徴検出層ニューロンは、ゲート回路5を通過後の各パルス信号の時間窓積分を並列的に行う。図8Bはこのときのシナプス後の信号が並列的に時間窓積分される様子(ほぼ同じ時間帯に複数の時間窓積分を行う様子)を模式的に表す。

【0098】

タイミング素子は、全体制御回路7にあって、タイミングパルス信号を層番号(2, k-1)の各特徴統合細胞、及び各特徴検出細胞(層番号(1, k))に出力することにより、特徴検出細胞が時間的に入力を加算する際の時間窓発生のタイミング信号を与えている。この時間窓の開始時刻が各特徴統合細胞から出力されるパルスの到着時間を図る基準時となる。即ち、タイミング素子は特徴統合細胞からのパルス出力時刻、及び特徴検出細胞での時間窓積分の基準パルスを与える。

【0099】

本実施形態では、特徴検出層の前段の層である特徴統合層上の同一受容野内の各低次特徴要素に相当するニューロンであって入力画像中において所定の局所的特徴の検出に関与したものは、それぞれ所定の位相で同期発火(パルス出力)することになる。一般的に特徴統合層のニューロンであって位置が異なるが同一の高次の特徴を検出する特徴検出ニューロンへの結合が存在する(この場合、受容野は異なるが、高次の同じ特徴を構成する結合を有する)。この時、これら特徴検出ニューロンとの間でも同期発火することはいうまでもない。

【0100】

各パルスはシナプス回路を通過すると所定量の位相遅延が与えられ、更に信号伝達線を通って特徴検出細胞に到着する。パルスの時間軸上の並びを、特徴検出細胞の時間軸上において点線で表したパルス(P1, P2, P3)により示す。

【0101】

特徴検出細胞において各パルス(P1, P2, P3)の時間窓積分(通常、一回の積分とする; 但し、多数回にわたる時間窓積分による電荷蓄積、または平均化処理を行ってもよい)の結果、閾値より大となった場合には、時間窓の終了時刻を基準としてパルス出力(Pd)がなされる。なお、同図に示した学習時の時間窓とは、後で説明する学習則を実行する際に参照されるものである。

【0102】

<特徴検出層処理>

以下、特徴検出層で主に行われる処理(学習時、認識時)について説明する。各特徴検出層においては、前述したようにスケールレベルごとに設定される処理チャネル内において同一受容野からの複数の異なる特徴に関するパルス信号を入力し、時空間的重み付き総和(荷重和)演算と閾値処理を行う。

【0103】

また、特徴検出層上の各ニューロンにおいては入力パルスの時空間的重み付き総和(荷重和)の演算は、ニューロンに到着したパルス列について所定幅の時間窓においてのみ行

われる。時間窓内の重み付き加算を実現する手段は、図4に示したニューロン素子回路に限らず、他の方法で実現してもよいことは言うまでもない。

【0104】

この時間窓は、実際のニューロンの不応期(refractory period)以外の時間帯にある程度対応している。即ち、不応期(時間窓以外の時間範囲)にはどのような入力を受けてもニューロンからの出力はないが、その時間範囲以外の時間窓では入力レベルに応じた発火を行うという点が実際のニューロンと類似している。

【0105】

本実施形態では、各層での処理に共通して制御回路内にあるタイミング素子（固定周波数でパルス出力）からのタイミングパルス信号を入力することにより、上述した時間窓開始時期のニューロン間での共通化をもたらしている。図1に示すような構成において、シナプスアレイ回路ブロック3とニューロンアレイ回路ブロック2を図2に示す階層構造全体の一層分とすると、タイミング信号は層内で共通して用いられる。また、シナプスアレイ回路ブロック3とニューロンアレイ回路ブロック2を図2に示す階層構造全体のうち一部に相当する複数の層が実現されるように構成した場合であっても、時間窓の同期制御は（仮に必要であったとしても）ネットワーク全体にわたって行う必要は無く、タイミング信号のskew等の問題は全体として緩和されている。

【0106】

＜撮像装置、ロボット視覚ヘッドなどへ搭載した応用例＞

本実施形態の構成に係る並列パルス信号処理手段をパターン認識(検出)装置としてロボット視覚ヘッド、或いは光軸方向制御機構を有する撮像装置に搭載させることにより、視野内の特定被写体を高速に検出し、最適撮影（自動フォーカシングや特定被写体の色補正、露出等）制御を行うことができる。この場合の構成について、図1-2を参照して説明する。

【0107】

図1-2の撮像装置9は、撮影レンズおよびズーム撮影及び光軸方向制御用の駆動制御機構を含む結像光学系9-2、CCD又はCMOSイメージセンサー9-3、撮像パラメータの計測手段9-4、映像信号処理回路9-5、記憶手段9-6、撮像動作の制御、撮像条件の制御などの制御用信号を発生する制御信号発生手段9-7、EVFなどファインダーを兼ねた表示ディスプレイ9-8、ストロボ発光手段9-9、記録媒体9-10、そして注視認識処理手段9-11（上述した本実施形態での階層構造を持った並列パルス信号処理回路からなるパターン認識装置）などを具備する。

【0108】

この撮像装置は、撮像手段内の映像センサから入力される画像信号から予め登録された人物の存在する方向を推定し、当該方向へ撮像光学系の光軸制御を行って顔画像の検出（存在位置、サイズの検出）を注視認識処理手段9-11により行う。その人物の位置（存在方向）、サイズ情報は制御信号発生手段に9-7に入力されると、同制御信号発生手段9-7は、撮像パラメータ計測手段9-4からの出力に基づき、その人物に対するピント制御、露出条件制御、ホワイトバランス制御などを最適に行う制御信号を発生する。

【0109】

上述した実施形態に係る並列パルス信号処理装置をこのように画像からパターン検出（認識）を行う撮像装置に用いることにより、当該被写体の検出（認識）機能を確実に、低消費電力で、かつ高速（リアルタイム）に実現して、人物等の検出とそれに基づく撮影の最適制御（AF、AEなど）を行うことができる。

【0110】

[第2の実施形態]

本実施形態では、ニューロン素子へのパルス信号は、シナプス結合後の各信号を束ねて伝播する為の共通バスラインを通じて入力され、特徴検出層ニューロンに対しては、前段の特徴統合層出力のうち、特徴クラスに固有の位相変調を受けたパルスが時系列的に入力される。ゲート回路5をシナプス結合回路の後方であってシナプス結合が収束する共通バ

スライン上に設定する。

【0111】

本実施形態で用いるゲート回路の構成を図6に示す。ゲート回路5は、前段の層からの信号選択部510、クロック信号入力部511、カウンタ512、ゲートスイッチ513、ゲート制御回路514、遅延時間ベースでの比較器515などから構成される。ここでの信号選択部510は、処理結果保持メモリ4にアクセスして、受容野からの信号を取り出すためのものであり、いわゆるWTA的な機能は有しない。

【0112】

一方、比較器515はタイミング素子から与えられる基準時刻に対する到着パルス時刻の遅延量に基づいて上位レベルの信号（或いは上位レベルの極大値信号）だけを選択するための回路で時間軸ドメインでのWTA回路とみなすことができる。その他の構成要素の機能は、第1の実施形態で説明した図3Aに示す構成の各要素と同様である。

【0113】

図8Cでは、各ニューロン間結合には、パルスの伝播時間とニューロン n_i からニューロン n'_j へのシナプス結合($S_{j,i}$)での時間遅れ等による固有（特徴に固有）の遅延が生じ、その結果としてニューロン n'_j に到着するパルス列 P_j は、特徴統合層の各ニューロンからパルス出力がなされる限り、学習によって決まるシナプス結合での遅延量により、所定の順序（及び間隔）になっている（図8Cでは、P4, P3, P2, P1の順に到着するように示されている）。ゲート回路5は、シナプス結合により変調を受け、共通バス上を伝播するパルス列に対して上述したように選択的にパルス信号を通す。

【0114】

図8Dは、タイミング信号が特徴統合層ニューロンに入力された後についての層番号(2, k)上の特徴統合細胞 n_1, n_2, n_3 （それぞれ異なる種類の特徴を表す）から、層番号(1, k+1)上有る特徴検出細胞(n'_j)（より上位の特徴検出を行う）へのパルス伝播のタイミング等を示す。

【0115】

特徴検出層ニューロンの内部状態の算出処理は、所定の重み付き時間窓積分により行われる。図8Cにおいて、特徴検出層ニューロンでは、タイミング素子からの入力がある前は後述する時間窓積分は行われず、タイミング素子からのパルス入力をトリガーとして、同積分が行われる。

【0116】

図8Cに示す不応期は、特徴検出細胞の発火直後から次の時間窓開始時刻までの時間帯である。不応期の長さと時間窓の幅は任意に設定可能であることはいうまでもなく、同図に示したように時間窓に比べて不応期を短くとらなくてもよい。

【0117】

各特徴量に対応するパルスは予め学習により定められた遅延量（位相）により、所定の時間間隔で到着する。このパルス到着時間パターンの学習制御は、本実施形態の主眼ではないので詳しくは説明しないが、例えば、ある図形パターンを構成する特徴要素がその図形の検出に最も寄与する特徴であるほど先に到着し、そのままでは、パルス到着時間がほぼ等しくなる特徴要素間では、互いに一定量だけ時間的に離れて到着するような競争学習を導入する。或いは、予め決められた特徴要素（認識対象を構成する特徴要素であって、特に重要と考えられるもの：例えば、平均曲率の大きい特徴、直線性の高い特徴など）間で異なる時間間隔で到着する様に設計してもよい。

【0118】

<パルス出力の時空間的統合及びネットワーク特性>

次に入力パルスの時空間的重み付き総和（荷重和）の演算について説明する。図11Bに示すごとく、各ニューロンでは、上記サブ時間窓（タイムスロット毎に所定の重み関数で入力パルスの荷重和がとられ、各荷重和の総和が閾値と比較される。 τ_j はサブ時間窓 j の重み関数の中心位置を表し、時間窓の開始時刻基準（開始時間からの経過時間）で表す。重み関数は一般に所定の中心位置（検出予定の特徴が検出された場合のパルス到着時

間を表す) からの距離 (時間軸上でのずれ) の関数になる。

【0119】

シナプスで特徴の種類に応じた位相変調が行われ、シナプス荷重値と信号との乗算が行われない場合には、時間窓積分において前段の層でのニューロン出力レベルにシナプス荷重に応じた乗算を時間軸上の重み関数値を参照して行う。

【0120】

なお、各サブ時間窓内での重み関数形状が対称の場合、若しくは時間軸上での距離の関数となっている場合、ニューロンの各サブ時間窓(タイムスロット)の重み関数の中心位置 τ が、ニューロン間の学習後の時間遅れとすると、入力パルスの時空間的重み付き総和(荷重和)を行う神経回路網は一種の時間軸ドメインのRadial Basis Function Network(以下RBFと略す)とみなすことができる。

【0121】

重み関数としては、非対称形状(図11Bに示すように)や負の値をとるものであってもよい。例えば、ある特徴検出層のニューロンが三角形を最終的に検出することが予定されている場合に、その図形パターンの構成要素でないことが明らかな特徴(F_{false})が検出された場合には、他の特徴要素からの寄与が大きくても三角形の検出出力が最終的なされないように、入力の総和値算出処理において、当該特徴(F_{false})に対応するパルスからは、負の寄与を与えるような重み関数及び特徴検出(統合)細胞からの結合を与えておくことができる。

【0122】

特徴検出層のニューロン n_i への入力信号の時空間和 $X_i(t)$ は、

【0123】

【数1】

$$X_i(t) = \sum_j S_{ij} F_{Ti}(t) Y_j(t - \tau_{ij} - \varepsilon_j)$$

【0124】

ここに、 ε_j は、ニューロン n_j からの出力パルスの初期位相、 F_{Ti} は時間窓重み関数であり、ニューロン n_i との同期発火により、0に収束するか、又はタイミングパルス入力により、時間窓の位相を0に強制同期する場合には、 ε_j は常に0としてよい。

図11Aのパルス入力と図11Bに示す重み関数による荷重和を実行すると、図11Dに示すような荷重和値の時間的遷移が得られる。特徴検出ニューロンは、この荷重和値が閾値(V_t)に達するとパルス出力を行う。ニューロン n_i からの出力パルス信号は、前述したように、入力信号の時空間和(いわゆる総入力和)のsquashing非線形関数となる出力レベルと学習により与えられた時間遅れ(位相)をもって上位層のニューロンに出力される(パルス出力は固定周波数(2値)とし、学習によって決まる固定遅延量に相当する位相に入力信号の時空間和についてのsquashing非線形関数となる位相変調量を加えて出力される)。

【0125】

以下、簡単のために三角形を特徴として検出する特徴検出ニューロンについて説明する。その前段の特徴統合層は、図11Cに示すような各種向きを持ったL字パターン(f_{11}, f_{12}, \dots)、L字パターンとの連続性(連結性)を有する線分の組み合わせパターン(f_{21}, f_{22}, \dots)、三角形を構成する2辺の一部の組み合わせ(f_{31}, \dots)、などのような図形的特徴(特徴要素)に反応するものとする。

【0126】

また、同図の f_{41}, f_{42}, f_{43} は向きの異なる三角形を構成する特徴であって、 f_{11}, f_{12}, f_{13} に対応する特徴を示している。学習により層間結合をなすニューロン間に固有の遅延量が設定された結果、三角形の特徴検出ニューロンにおいては、時間窓を分割して得られる各サブ時間窓(タイムスロット)(w_1, w_2, \dots)において、三角形を構成する主要かつ異なる特徴に対応するパルスが到着するように予め設定がな

される。

【0127】

例えば、時間窓をn分割した後のw1, w2, …, wnには図11Aに示すごとく、全体として三角形を構成するような特徴のセットの組み合わせに対応するパルスが初めて到着する。ここに、L字パターン(f11, f12, f13)は、それぞれw1, w2, w3内に到着し、特徴要素(f21, f22, f23)に対応するパルスは、それぞれw1, w2, w3内に到着するように学習により遅延量が設定されている。

【0128】

特徴要素(f31, f32, f33)対応のパルスも同様の順序で到着する。図11Aの場合、一つのサブ時間窓(タイムスロット)にそれぞれ一つの特徴要素に対応するパルスが到着する。

【0129】

重要な特徴ほど早いサブ時間窓にパルスが到着するように予め設定されているとする、当該サブ時間窓での重み閾値が他のサブ時間窓での値より大きくすることにより、重要度の高い特徴ほど検出されやすくなることができる。この重要度(特徴間の検出優先度)は学習により獲得されるか、予め定義しておくこともできる。

【0130】

サブ時間窓(タイムスロット)への分割数、各サブ時間窓(タイムスロット)の幅および特徴のクラスおよび特徴に対応するパルスの時間間隔の割り当てなどは上述した説明に限らず、変更可能であることはいうまでもない。

【0131】

[第3の実施形態]

本実施形態では、特徴検出層ニューロンの受容野を構成するシナプス結合の分布に基づいてゲート回路は強度が極大となり、絶対値が上位k個(kは自然数)の範囲に収まるシナプス結合を選択し、該当するシナプス結合からのパルス信号だけを通過させる。

【0132】

図5は、本実施形態に係る並列パルス信号処理装置の要部構成を示し、データ入力制御回路100、ニューロンアレイ回路ブロック200、シナプスアレイ回路ブロック300、処理結果保持メモリ400、ゲート回路500、信号生成回路600、および全体制御回路700を主たる構成要素とする。各構成要素の機能は、ゲート回路500を除いて第1の実施形態と同じである。

【0133】

第1の実施形態との構成上の違いは、ゲート回路はシナプスアレイ回路ブロック300にアクセスし、有意なシナプス結合を選択する点である。有意なシナプス結合とは、上記したように強度が極大となり、絶対値が上位k個(kは自然数)の範囲に収まるシナプス結合を意味する。

【0134】

図3Bに信号選択部60、クロック信号入力部61、およびゲート制御回路64を中心とする構成要素とするゲート回路500の構成を示す。信号選択部60は、図1のシナプス結合回路アレイ300内部のメモリからシナプス結合データを一旦全て読み出し、然る後、上位k個の極大値に相当するシナプス結合の荷重値を格納するメモリアドレスから抽出するようなWTA回路(第1の実施形態で示した文献3を参照)としての機能を備え、有意なシナプス結合のアドレスを選択する。ゲート制御回路64は、信号選択部で抽出したシナプス結合により変調されたパルス信号をクロック信号入力部61からのタイミング信号に同期して選択的に通過させる。

【図面の簡単な説明】

【0135】

【図1】並列パルス信号処理装置の要部構成を示すブロック図である。

【図2】ネットワーク全体構成を概念的に示す図である。

【図3A】ゲート回路5の構成を示す図である。

【図3B】ゲート回路500の構成を示す図である。

【図4】シナプス回路の構成を示す図である。

【図5】本発明の第3の実施形態に係る並列パルス信号処理装置の要部構成を示す図である。

【図6】本発明の第2の実施形態に係るゲート回路の構成を示す図である。

【図7A】シナプス回路及びニューロン回路の結合関係を概念的に示す図である。

【図7B】シナプス回路及びニューロン回路の結合関係を概念的に示す図である。

【図8A】特徴統合層から特徴検出層への（例えば、図1の層（2,0）から層（1,1）への）パルス信号の伝播の様子を模式的に示した図である。

【図8B】ゲート回路5を通過後の各パルス信号の時間窓積分を並列的に行うときのシナプス後の信号が並列的に時間窓積分される様子（ほぼ同じ時間帯に複数の時間窓積分を行う様子）を模式的に表す図である。

【図8C】第2の実施形態におけるニューロン間結合を示す図である。

【図8D】タイミング信号が特徴統合層ニューロンに入力された後についての層番号（2, k）上の特徴統合細胞 n_1, n_2, n_3 （それぞれ異なる種類の特徴を表す）から、層番号（1, k+1）上のある特徴検出細胞（ n'_j ）（より上位の特徴検出を行う）へのパルス伝播のタイミング等を示す図である。

【図9A】学習回路の構成を示す図である。

【図9B】シナプス回路の構成を示す図である。

【図10A】パルス位相変調回路の構成を示す図である。

【図10B】単安定マルチバイブレータ506へ入力された方形波P1、単安定マルチバイブレータ506から出力される方形波P2、単安定マルチバイブレータ507から出力される方形波P3の各タイミングを示す図である。

【図11A】第2の実施形態で用いるパルス間隔パターンによる高次の図形情報の検出を行う際の特徴検出ニューロンに入力される異なる特徴要素に対応する複数パルスを示す図である。

【図11B】第2の実施形態で用いるパルス間隔パターンによる高次の図形情報の検出を行う際の特徴検出ニューロンに入力される異なる特徴要素に対応する複数パルスを処理する際の重み関数分布の例を示す図である。

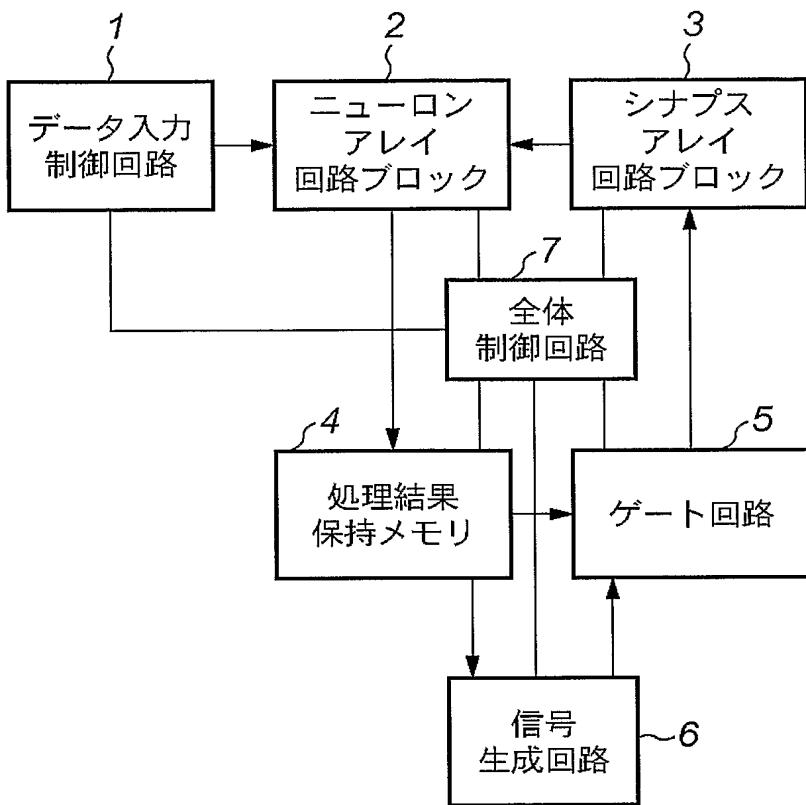
【図11C】三角形を特徴として検出する特徴検出ニューロンが反応する、各種向きを持ったL字パターン（ $f_{1,1}, f_{1,2}, \dots$ ）、L字パターンとの連続性（連結性）を有する線分の組み合わせパターン（ $f_{2,1}, f_{2,2}, \dots$ ）、三角形を構成する2辺の一部の組み合わせ（ $f_{3,1}, \dots$ ）、などのような図形的特徴（特徴要素）を示す図である。

【図11D】図11Aのパルス入力と図11Bに示す重み関数による荷重和を実行し、得られる荷重和値の時間的遷移を示す図である。

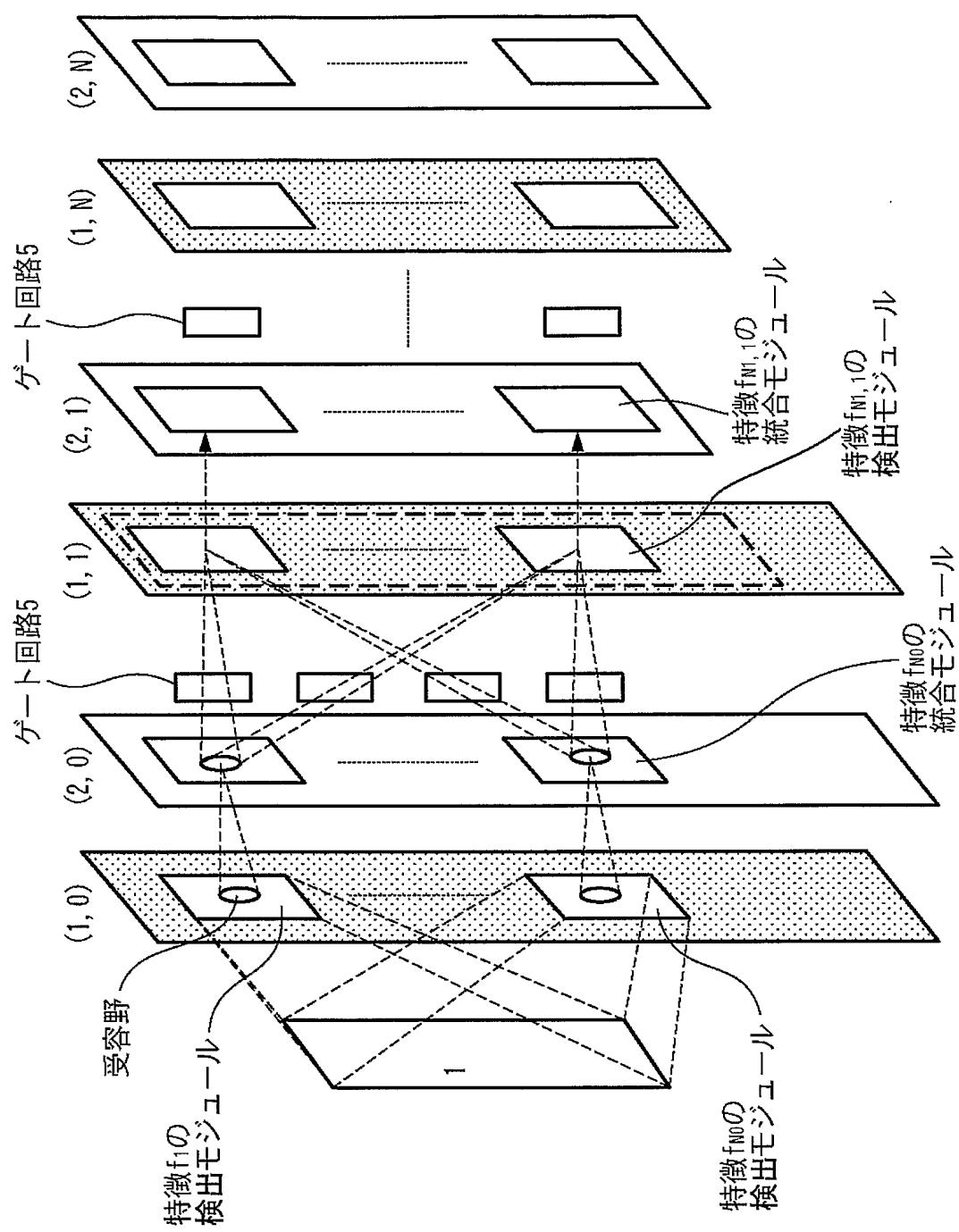
【図12】本発明の第1の実施形態の構成に係る並列パルス信号処理手段をパターン認識（検出）装置とし、このパターン認識装置を搭載した撮影装置の構成例を示す図である。

【図13】ゲート回路が特徴統合層出力のうち、各特徴クラス内の極大値上位信号を選択的に通過させる様子を模式的に示した図である。

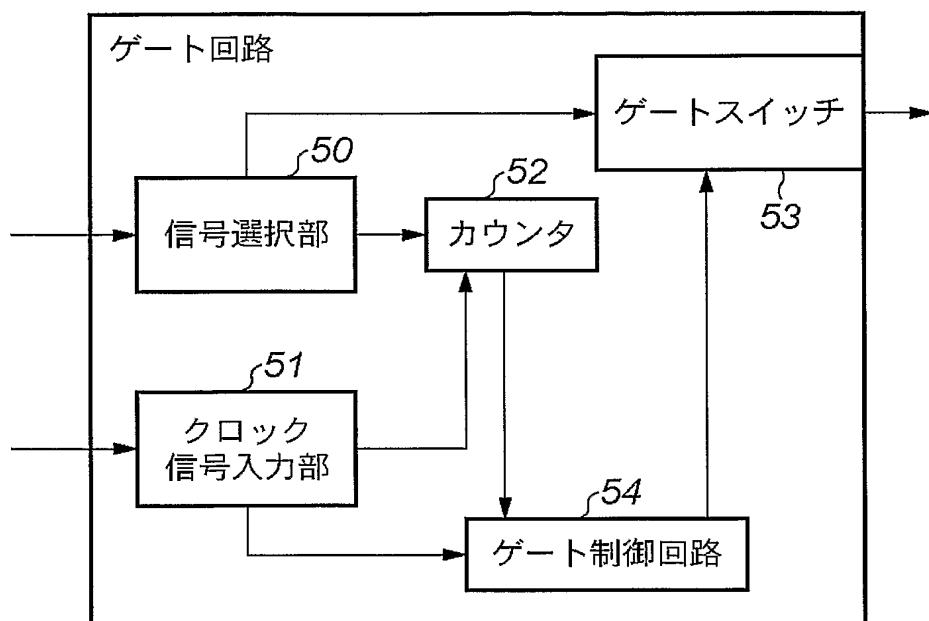
【書類名】 図面
【図 1】



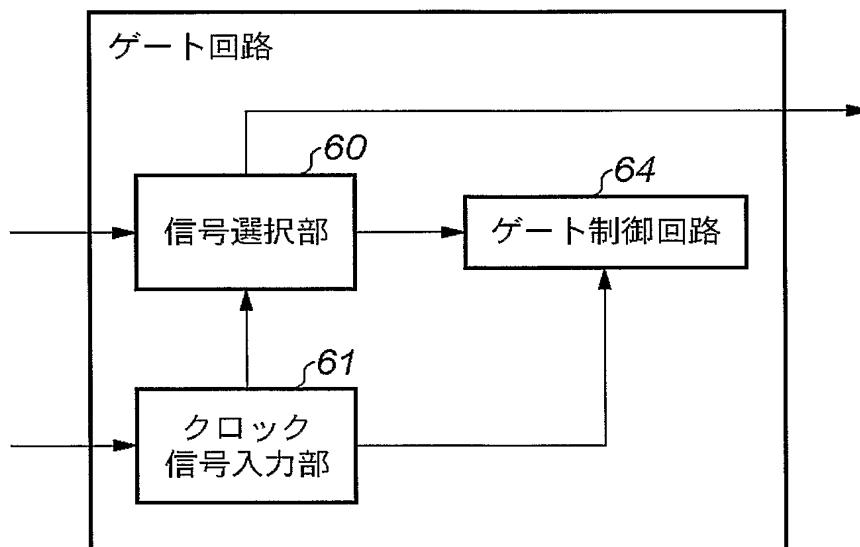
【図 2】



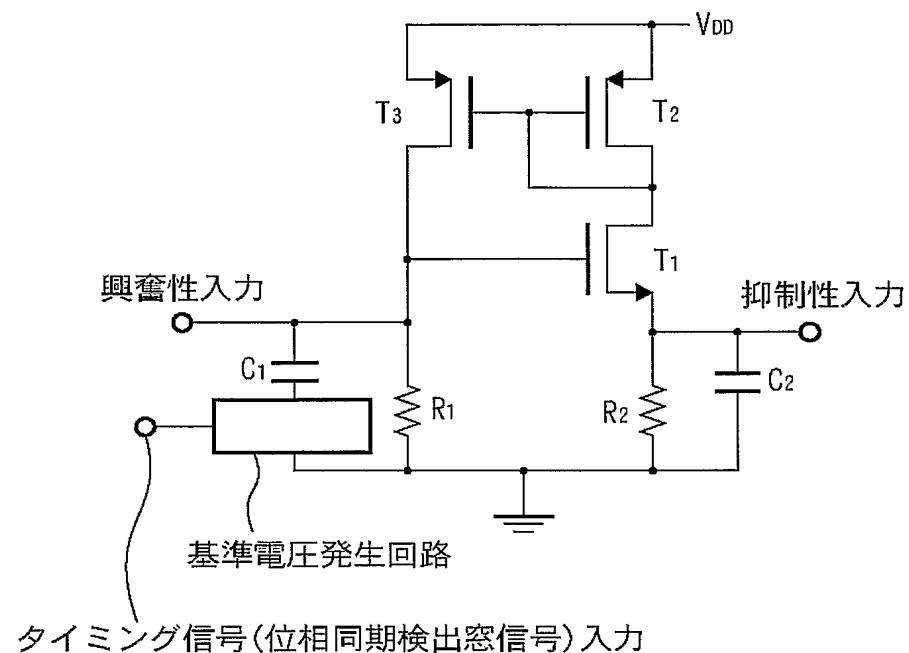
【図3 A】



【図3 B】

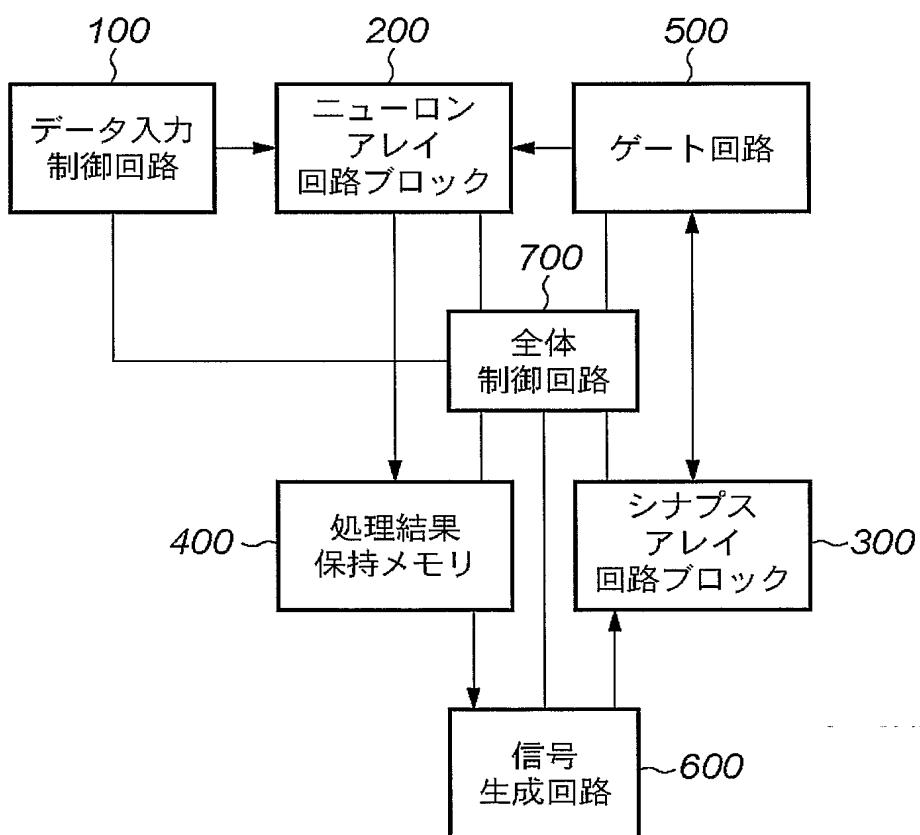


【図 4】

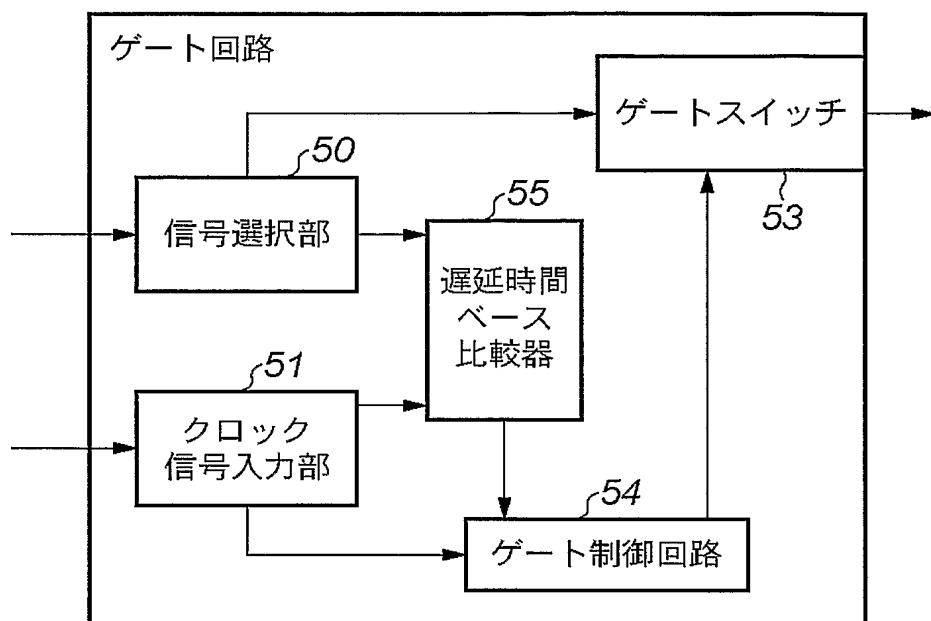


タイミング信号(位相同期検出窓信号)入力

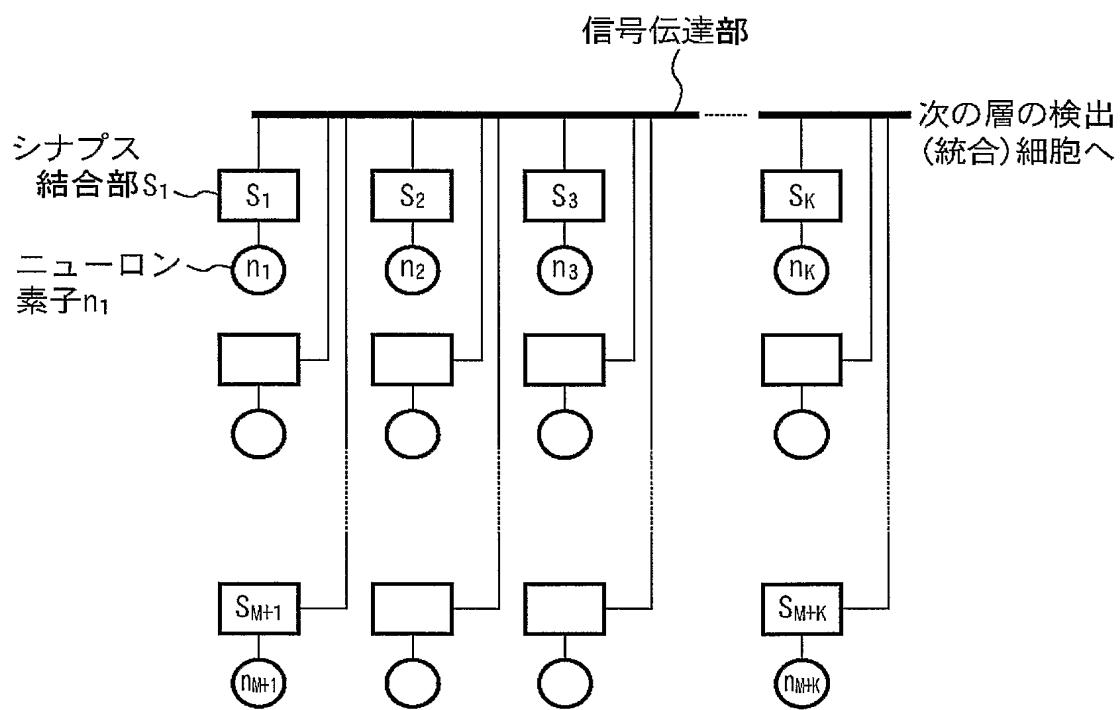
【図 5】



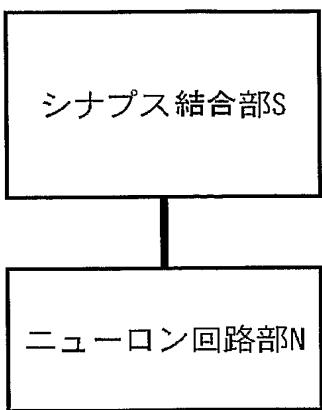
【図 6】



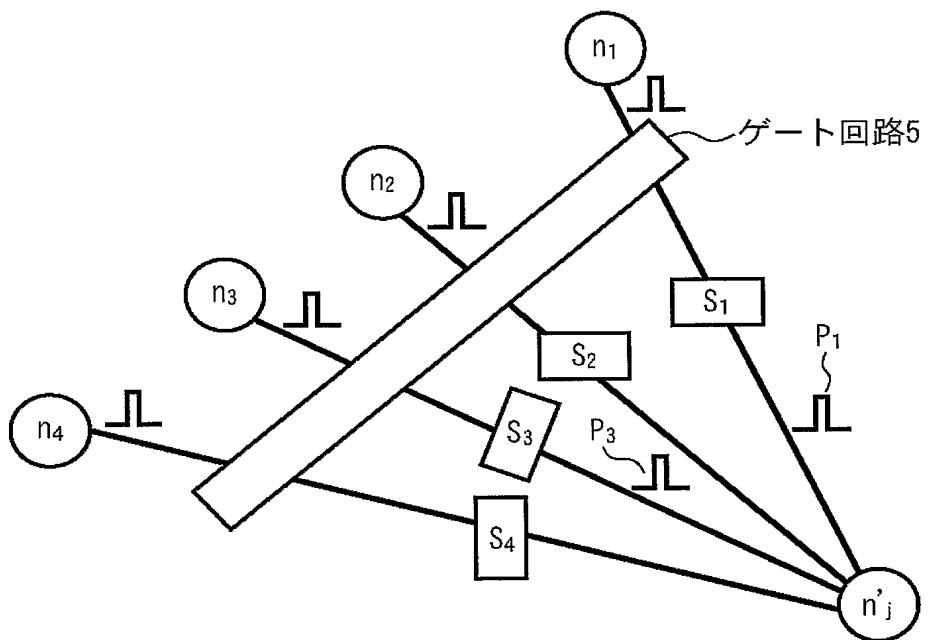
【図 7 A】



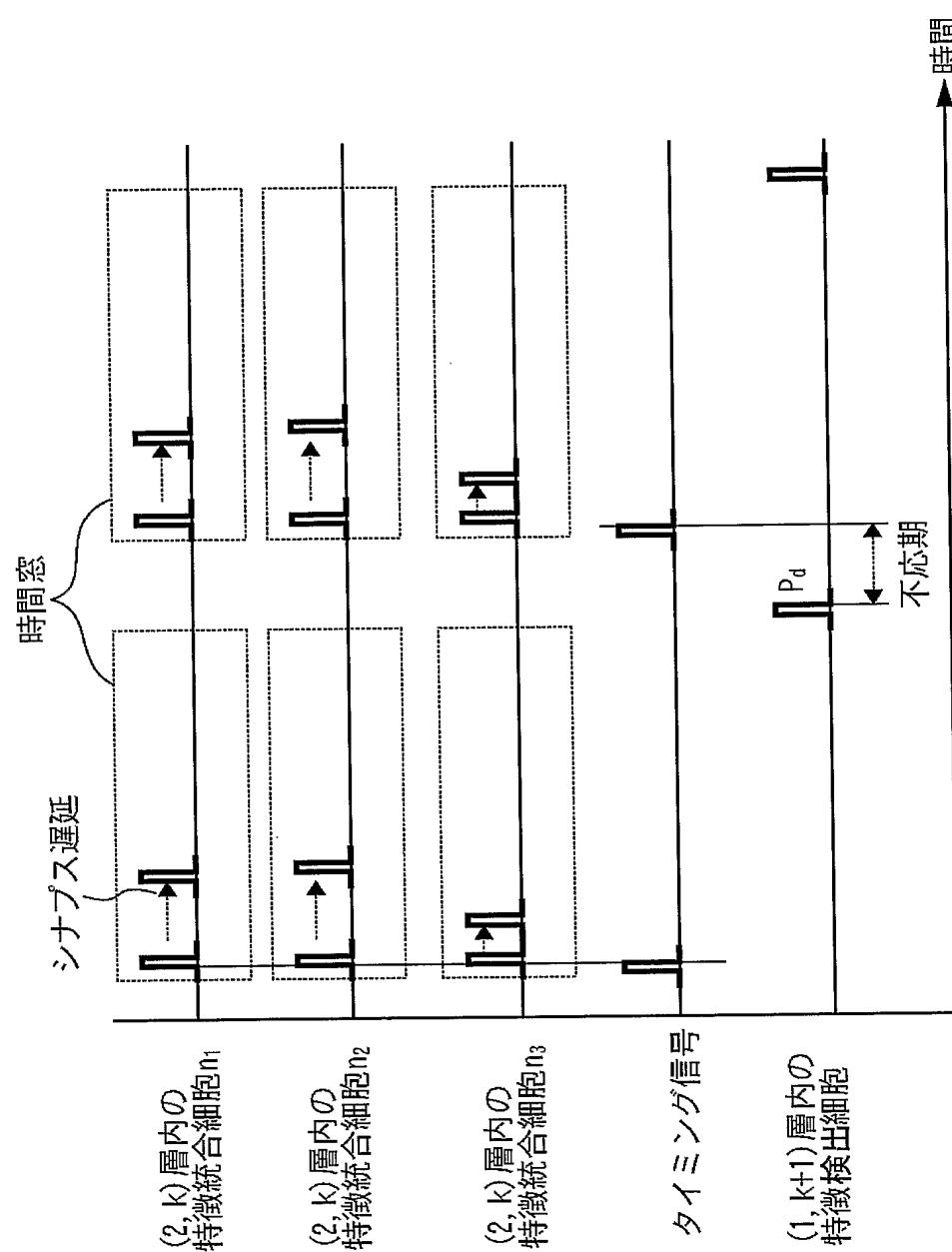
【図7B】



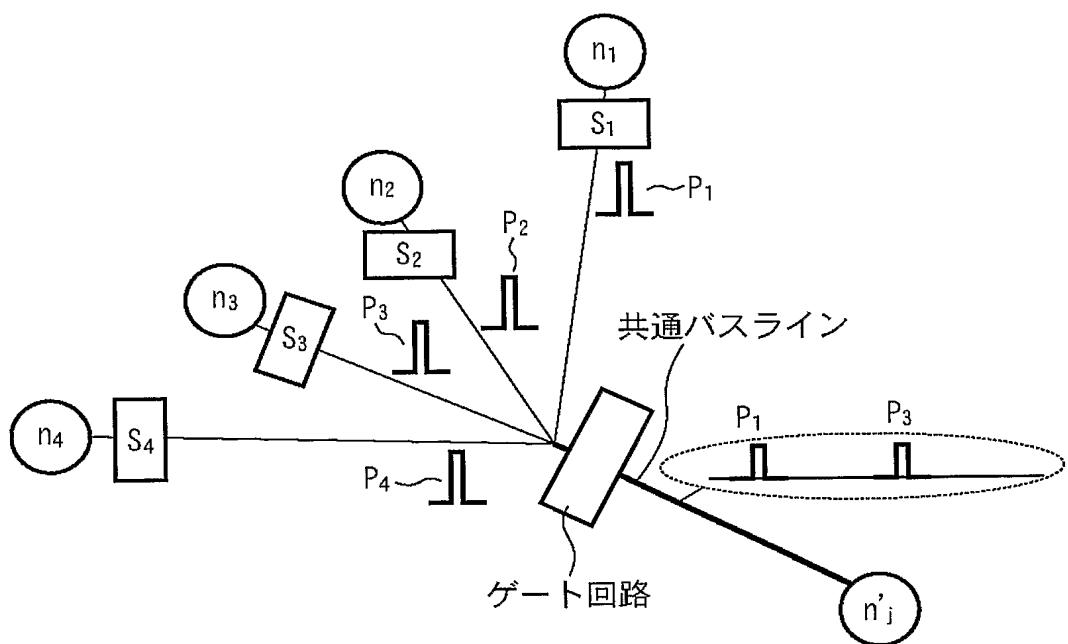
【図8A】



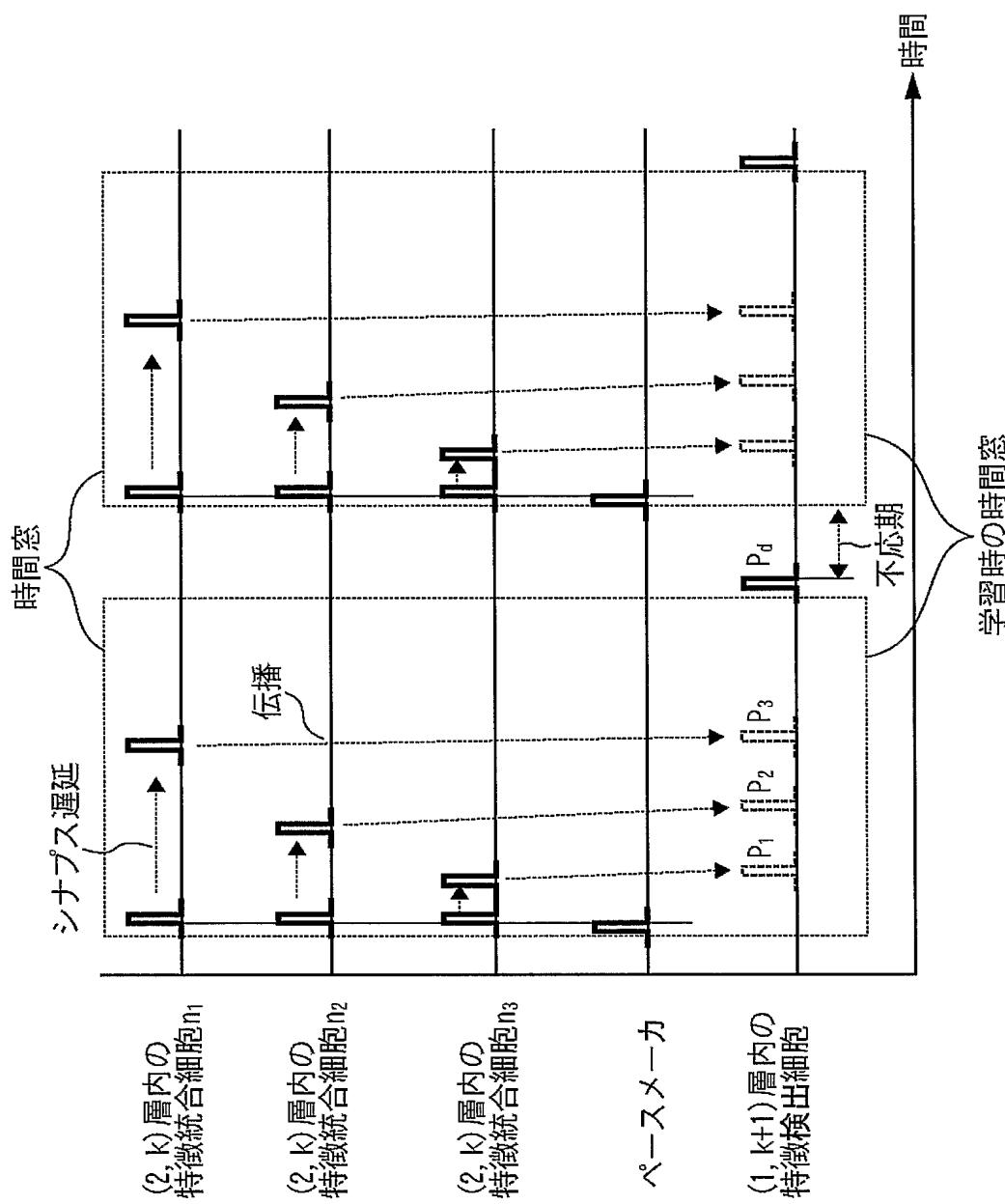
【図8B】



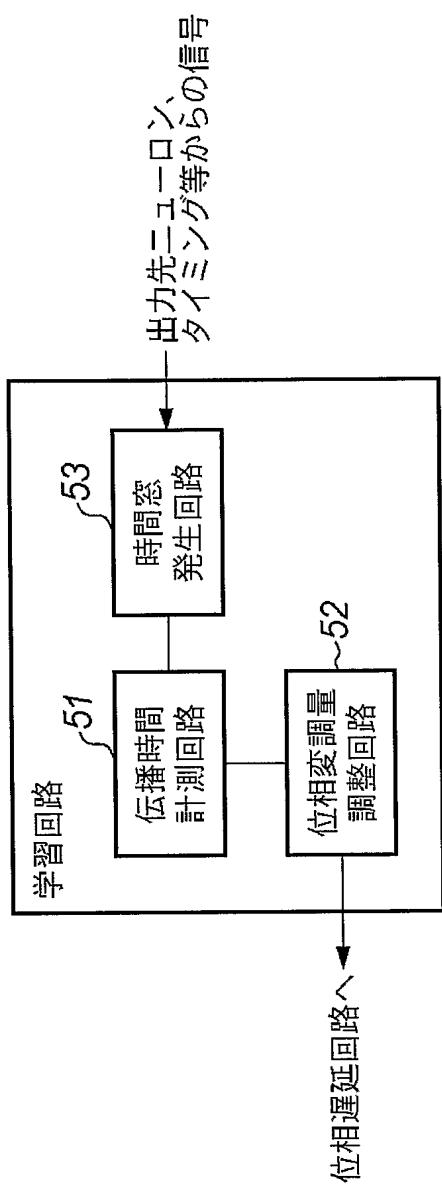
【図8C】



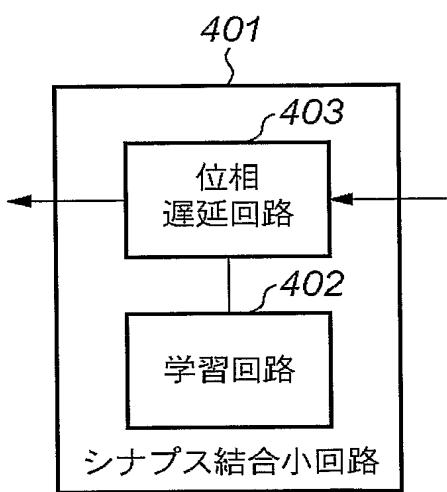
【図8D】



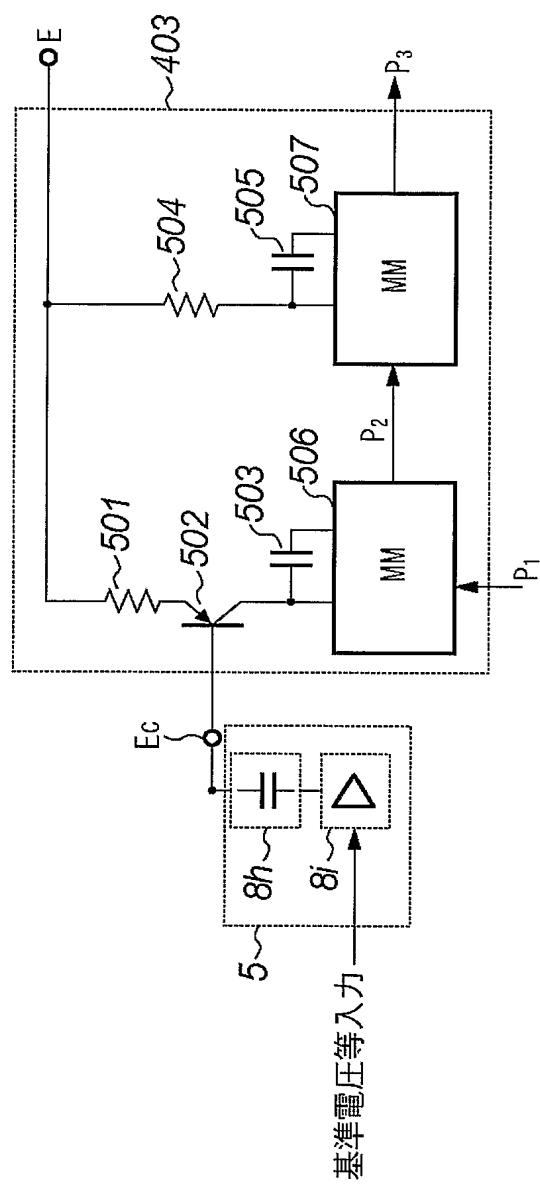
【図 9 A】



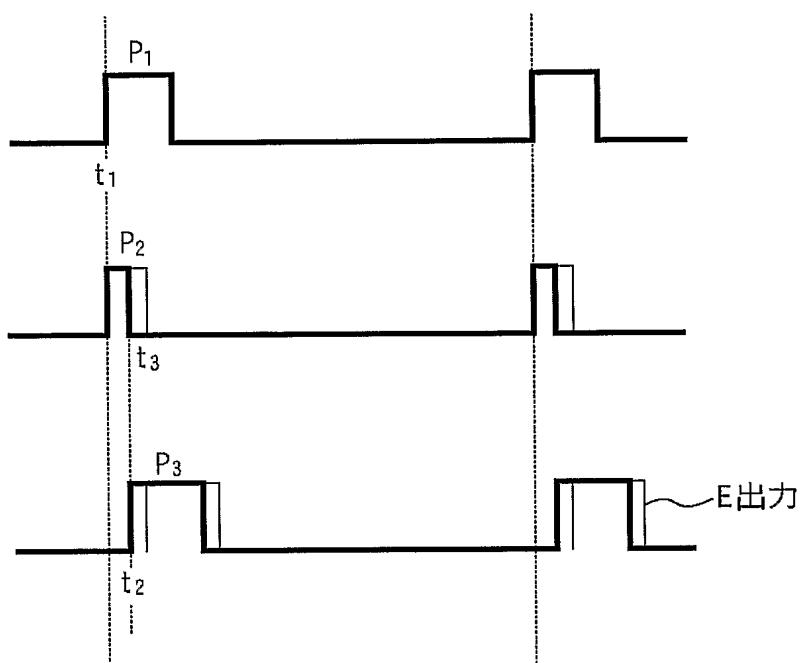
【図 9 B】



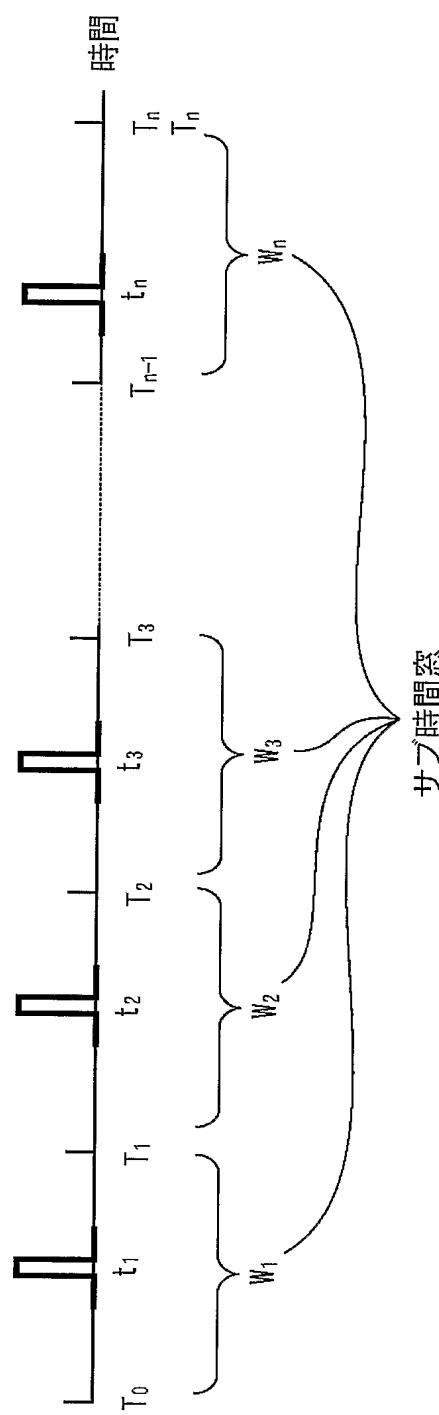
【図10A】



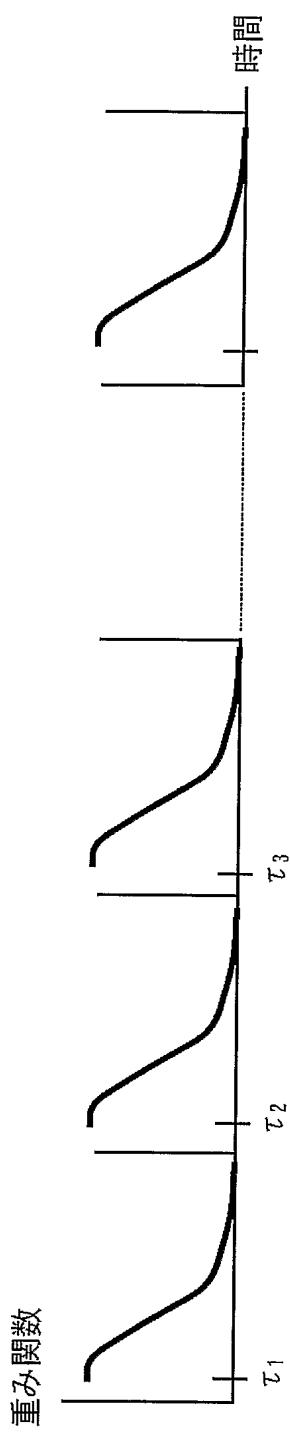
【図10B】



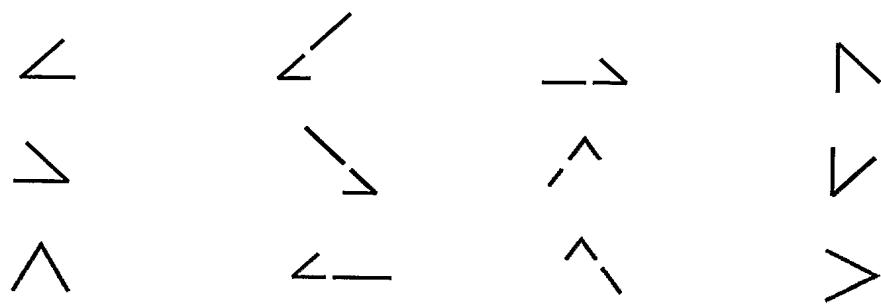
【図11A】



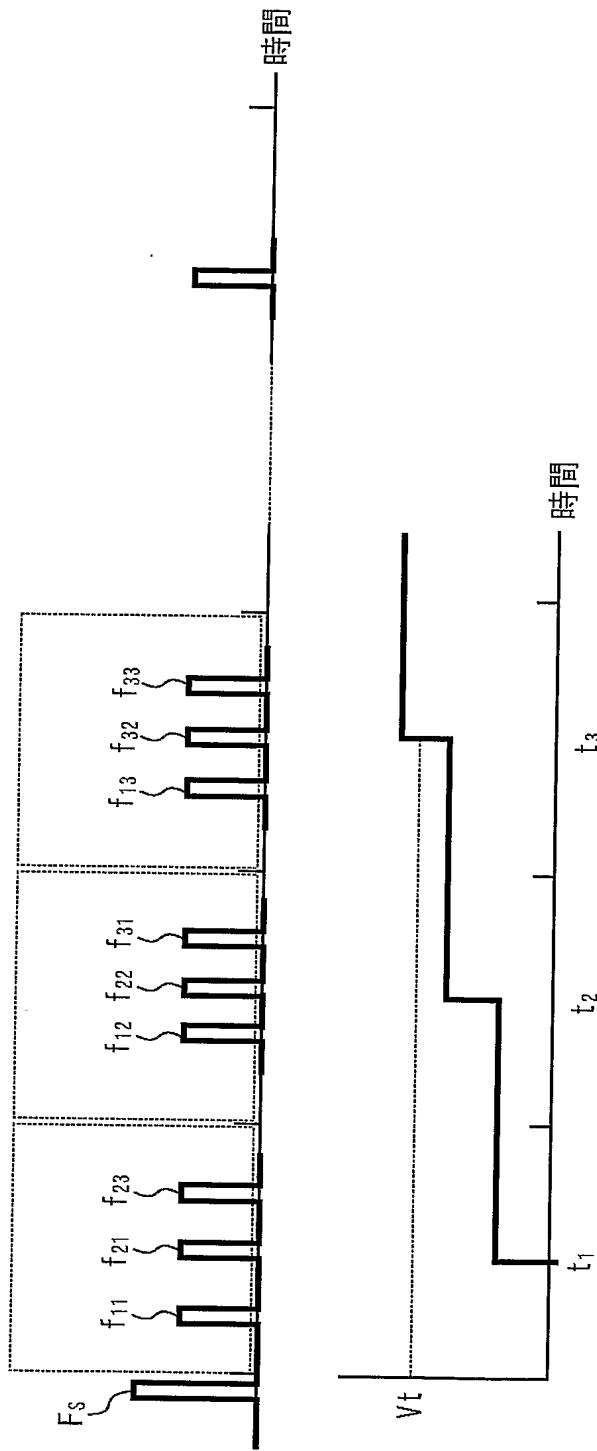
【図11B】



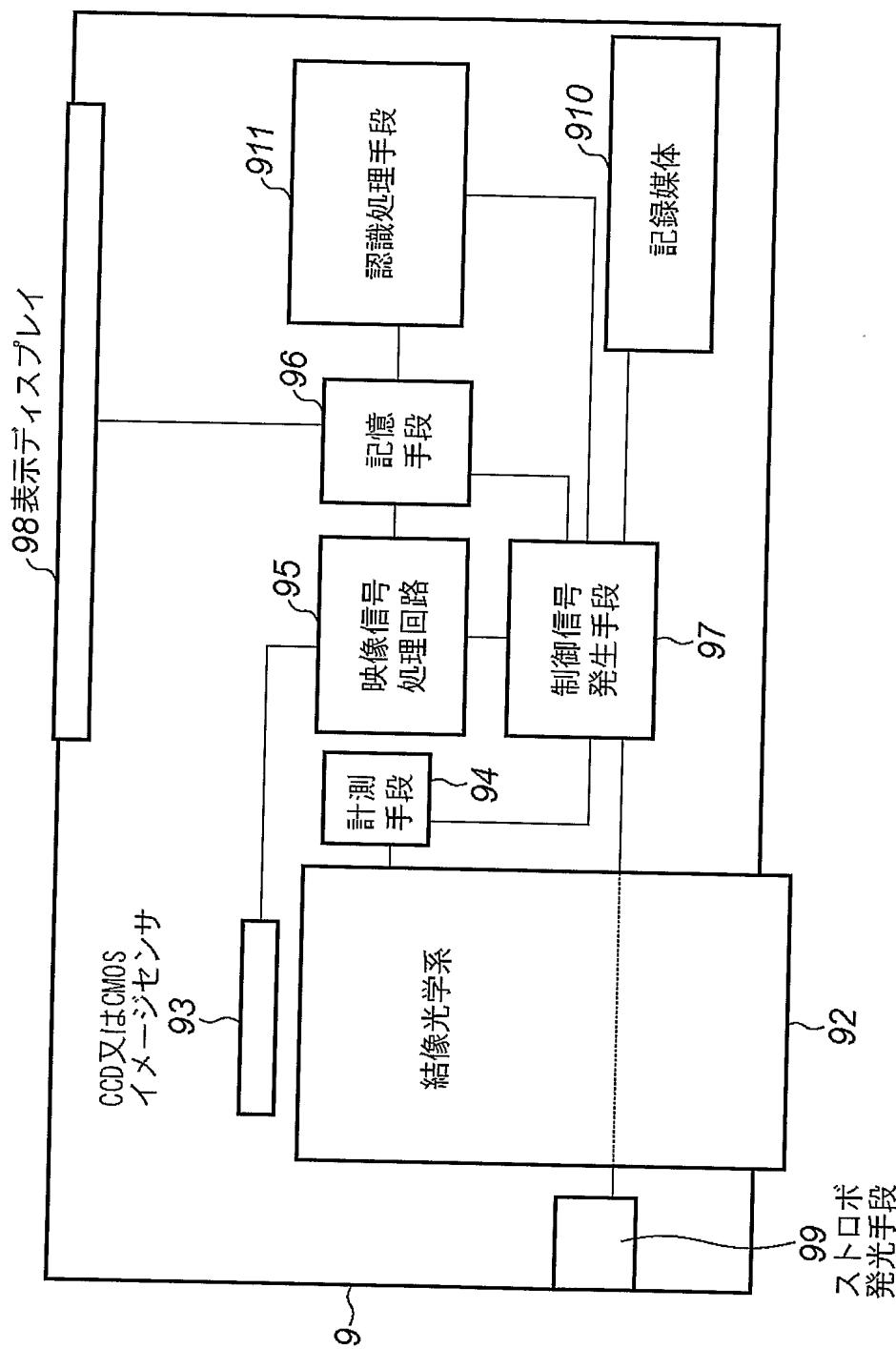
【図11C】



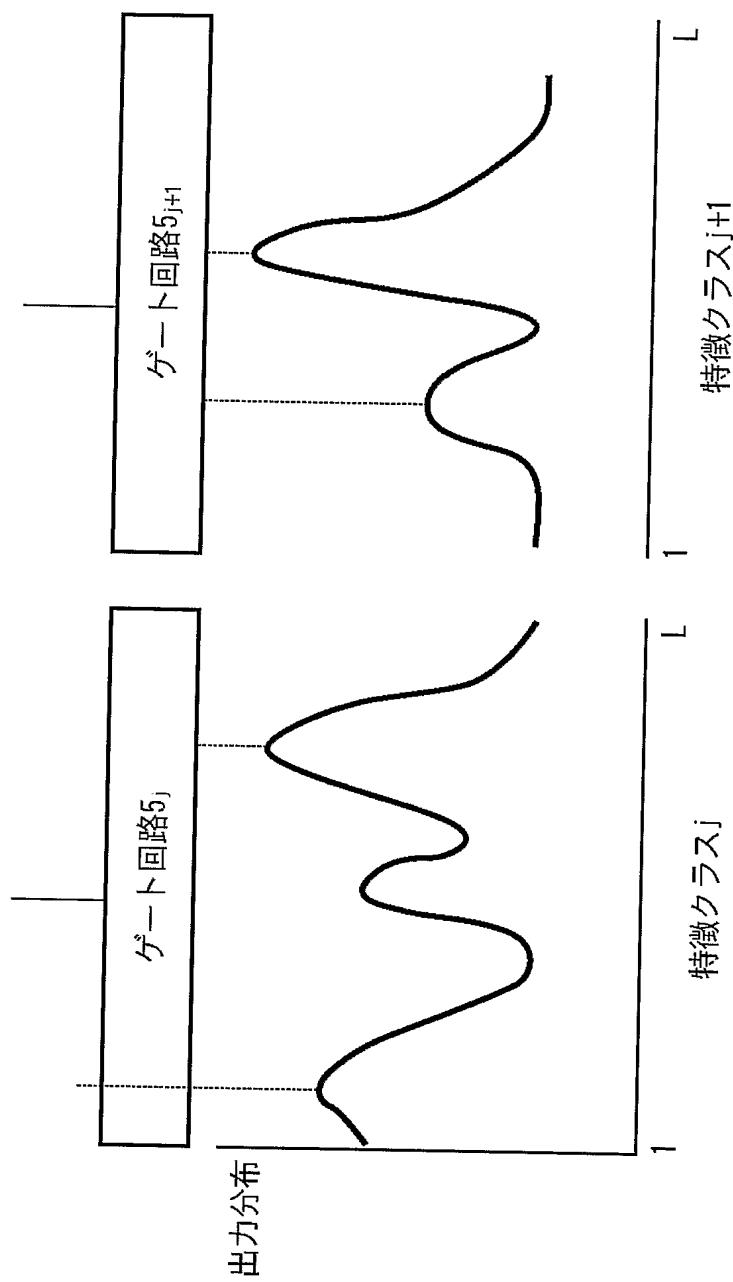
【図 11D】



【図 12】



【図13】



【書類名】要約書

【要約】

【課題】 配線問題を軽減し、小回路規模化と低消費電力化をもたらすこと。

【解決手段】 複数のパルス出力演算素子2と、この演算素子のうち所定の演算素子間を並列結合する複数の結合素子3と、上記複数の結合素子からのパルス信号を選択的に通過させるためのゲート回路5とを備える並列パルス信号処理装置において、上記演算素子は更に、複数の時系列パルス信号を入力し、入力された複数の時系列パルス信号に基づいて、所定の変調処理を行い、変調処理結果に基づいて、パルス信号出力を行い、更に上記ゲート回路は、複数の結合素子からの信号のうち、所定の上位の出力レベルに相当する有限個のパルス信号を選択的に通過させる。

【選択図】 図1

特願 2004-077041

出願人履歴情報

識別番号 [000001007]

1. 変更年月日
[変更理由]

1990年 8月30日

新規登録

住 所
氏 名

東京都大田区下丸子3丁目30番2号
キヤノン株式会社